CAPÍTULO 4

ARQUITECTURA DE COMPUTADORAS PERSONALES

4.1 INTRODUCCION

La primera PC desarrollada en torno a los microprocesadores de Intel 80X86 fue la IBM PC. Nacida en 1981, IBM adoptó para la PC el microprocesador 8088 como unidad central de proceso. La característica más destacable de estos equipos fue su concepción “abierta” que permitía ampliar o agregar nuevas prestaciones con gran facilidad. Esta característica se conserva aún hoy en los nuevos modelos, generándose una norma no escrita, conocida como “compatibilidad IBM”.

A la IBM PC sucedió en 1983 la XT, que conserva el microprocesador 8088, pero con el agregado de algunas mejoras, como la aparición del disco rígido.

El fenómeno de la “compatibilidad“ no sólo se hizo visible en la aparición de una gran cantidad de adaptadores y una variedad de software de aplicación, sino también en la aparición de réplicas semejantes a los modelos de IBM denominadas “compatibles”, fabricadas por otras empresas como NEC, Compaq, Dell, Samsung, etc. y las PC sin marca o “clones“.

4.2 COMPONENTES DEL SISTEMA

Si observamos el diagrama en bloque de la PC XT, identificaremos varios de los componentes vistos a lo largo del curso. Podemos ver el microprocesador 8088, el coprocesador matemático 8087, el controlador de interrupciones 8259, el de DMA 8237, etc.

También se pueden observar los conectores de expansión del BUS, que le dan a la PC la característica de arquitectura “abierta”, ya que permite el diseño de cualquier tipo de módulo de entrada salida, conectable al mencionado BUS.

A continuación, describiremos cómo se interconectan los mencionados componentes y las funciones principales de cada uno de ellos.

4.2.1 Microprocesador 8088

Este uP contiene el mismo set de instrucciones que el 8086, sólo que posee un BUS de datos de 8 bits que lo hacía compatible con los dispositivos diseñados para el anterior microprocesador de Intel 8085. Por este motivo el Bus de datos de la PC XT es de solo 8 bits, aunque el funcionamiento interno del microprocesador es de 16 bits.

En la primera versión de la PC XT, el microprocesador funcionaba a una frecuencia de reloj de 4,77 MHz, motivo por el cual se utilizaba un oscilador de frecuencia triple de 14,318 MHz. Versiones posteriores de PC incorporaron chips de mayor velocidad, como el caso del NEC-V20 que posee las mismas características que el 8088 pero funcionaba a 8 MHz.

4.2.2 Coprocesador matemático 8087

Junto al microprocesador es común encontrar un zócalo de 40 pines para la instalación del circuito integrado 8087, que es la unidad de punto flotante (FPU) diseñada para el 8086/8088 (también llamada unidad de procesamiento numérico NPU). Este coprocesador agrega instrucciones numéricas y registros de punto flotante, lo que incrementa notablemente la velocidad de procesamiento, en especial cuando los programas requieren operaciones numéricas de alta precisión.

El agregado de esta opción sólo requiere la instalación del coprocesador en el zócalo y la habilitación de un switch en la placa madre, que indica la existencia del coprocesador. Este switch permite que el microprocesador reciba la interrupción de excepción del coprocesador.

4.2.3 Controlador de interrupciones 8259

Otro de los chips de la familia Intel que integran la PC es el controlador programable de interrupciones (PIC) 8259. Este chip permite ampliar a ocho las entradas de interrupción, generándose las señales llamadas IRQ0 a IRQ7. El diseño de la placa madre de la PC prevé la asignación de algunas de éstas para funciones específicas, tal es el caso de las IRQ0 e IRQ1. La primera de ellas se conecta a la salida del contador del timer y sirve para proveer una base de tiempo confiable. En la programación inicial del 8259 se le asigna a esta entrada el vector de interrupción 8, por los que las restantes poseen los vectores siguientes (9 a 15). La IRQ1 (vector 9) se emplea para la lectura del teclado.

Las restantes interrupciones se encuentran en el slot de expansión del BUS, lo que permite que sean usadas por cualquier dispositivo conectado en dicho lugar. Sin embargo, la estandarización del hardware y software mencionada con anterioridad hizo que los controladores más comunes conserven una interrupción como predeterminada. Esto implica que las mismas no deben ser utilizadas por otros dispositivos cuando se encuentre instalado alguno de esos controladores. A continuación, se proporciona una lista de las interrupciones y se mencionan los controladores más comunes que hacen uso de ellas.

Interrupción	Aplicación
IRQ2	RESERVADA
IRQ3	COM/SDLC
IRQ4	COM/SDLC
IRQ5	DISCO DURO
IRQ6	DISCO FLEXIBLE
IRQ7	LPT

Tabla 4.2.1 – Interrupciones de la PC

La IRQ2 que figura como reservada permite que se la utilice para agregar un segundo chip 8259 en cascada, lo que implica un aumento de 7 interrupciones. Esto se incorporó a la placa madre de la PC-AT que sucedió a la PC, e incorporaba el microprocesador 80286 como unidad central de proceso.

4.2.4 Controlador de DMA 8237

También podemos observar el controlador 8237, que proporciona cuatro canales de DMA para dispositivos de entrada salida que requieran de este servicio. Estos canales de denominan con las siglas DMA0 a DMA3, y al igual que las interrupciones se encuentran preasignados para cumplir con las funciones básicas. El canal 0 se emplea para realizar el refresco de la memoria RAM dinámica, por lo que se conecta directamente al timer del sistema. Esto permite que se realice periódicamente cada intervalo de tiempo definido para evitar que el contenido de la memoria se desvanezca por completo.

Los restantes canales se encuentran disponibles en el conector de expansión con sus señales DRQ y DACK para que puedan ser usados por los dispositivos de entrada salida que lo requieran. A continuación, se proporciona una lista de la asignación de los canales en la PC.

Canal de DMA	Aplicación
CANAL 0	REFRESCO DE MEMORIA
CANAL 1	SDLC
CANAL 2	DISCO FLEXIBLE
CANAL 3	NO ASIGNADO

Tabla 4.2.2 – Canales de DMA de la PC

4.2.5 Timer 8253

Este chip es un contador/timer que provee a la PC de 3 timers programables utilizados para todas las mediciones de tiempo. Algunas de las aplicaciones ya fueron mencionadas cuando se describieron los controladores 8259 y 8237, aunque no fueron completamente analizadas.

El 8253 provee tres canales independientes, cada uno de ellos programable de 6 modos diferentes. Las entradas de reloj pueden ser distintas para cada canal, aunque en la PC es única y de 1,19 MHz.

4.2.6 Rom BIOS

Se mencionó que existe un hardware estándar que compone la base de la PC. Asimismo, con la primera PC, IBM proveyó también un programa estándar de control para muchos de los componentes de este hardware. Este programa reside en la ROM del sistema y se lo llama comúnmente ROM BIOS (Basic Input/Output System).

Esta interfaz permite que los diseñadores de software de aplicación puedan realizar programas que funcionen en sistemas de configuración variada, sin tener que realizar modificaciones para cada caso. De esta forma también los fabricantes pueden realizar modificaciones en el hardware, pero manteniendo esta interfaz tal cual es, no se necesitan modificar los programas. Igualmente, versiones posteriores de BIOS incorporan nuevas funciones, sin perjuicio de las anteriores. Esto posibilita que los programas viejos puedan ejecutarse correctamente, aunque por supuesto no harán uso de estas nuevas funciones.

La ROM BIOS posee tres funciones específicas:

La primera de ellas se denomina POST (Power On Self Test). El POST consiste en una rutina que se ejecuta cuando se enciende la computadora o cada vez que se realice un Reset. La función principal de esta rutina es testear el hardware e inicializar los dispositivos programables.

Otra de las funciones es contener los drivers de los dispositivos de I/O. Tanto la versión de IBM como las posteriores proveen una gran variedad de rutinas para el hardware usado más comúnmente.

La tercera función del BIOS es contener un set de servicios del sistema, que si bien no controla ningún dispositivo, proveen datos valiosos acerca de la operación del sistema.

4.2.7 BIOS Setup

Normalmente se accede al menú de Setup oprimiendo “supr” o “esc” o “F10” según la PC de que se trate y aparece la pantalla en modo texto en los BIOS antiguos o en modo gráfico en las más nuevas.

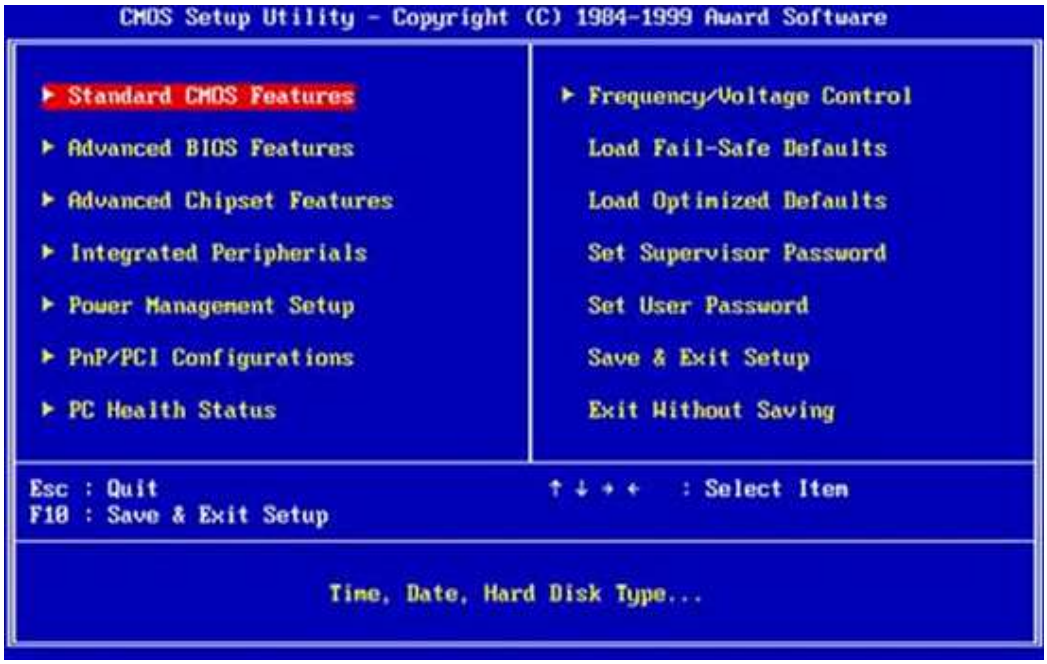


Figura 4.2.1 – Interfaz BIOS (Basic Input Output System)

4.2.8 Diagrama en bloques

En la PC los canales se encuentran asignados como se muestra en la figura.

Como se puede ver, el canal 0 se encuentra siempre habilitado y se utiliza como contador del sistema para proveer una base de tiempo confiable. La salida del timer proporciona una interrupción, comúnmente llamada timer tic, que se conecta a la IRQ0. La misma es utilizada por el BIOS para incrementar un contador de 4 bytes en 0040:006C que se utiliza para el cómputo de la fecha y la hora. El canal 1 está también siempre habilitado y programado para una cuenta de 15uS, pero su salida se conecta al canal 0 de DMA. El final de cuenta de este timer dispara un ciclo de lectura de memoria (“dummy”) que permite que no transcurra demasiado tiempo sin que ésta sea leída. Este ciclo conocido como refresco de memoria es imprescindible para que el contenido no se desvanezca. Por último el canal 2 se encuentra disponible, aunque como se pueda ver se encuentra conectado al altavoz. Si se quisiera usar con otros fines, se debe

deshabilitar el parlante a través de la salida B1 del 8255, y se podrá habilitar el timer a través de B0. El final de cuenta puede detectarse por la misma 8255, a través de la entrada C5.

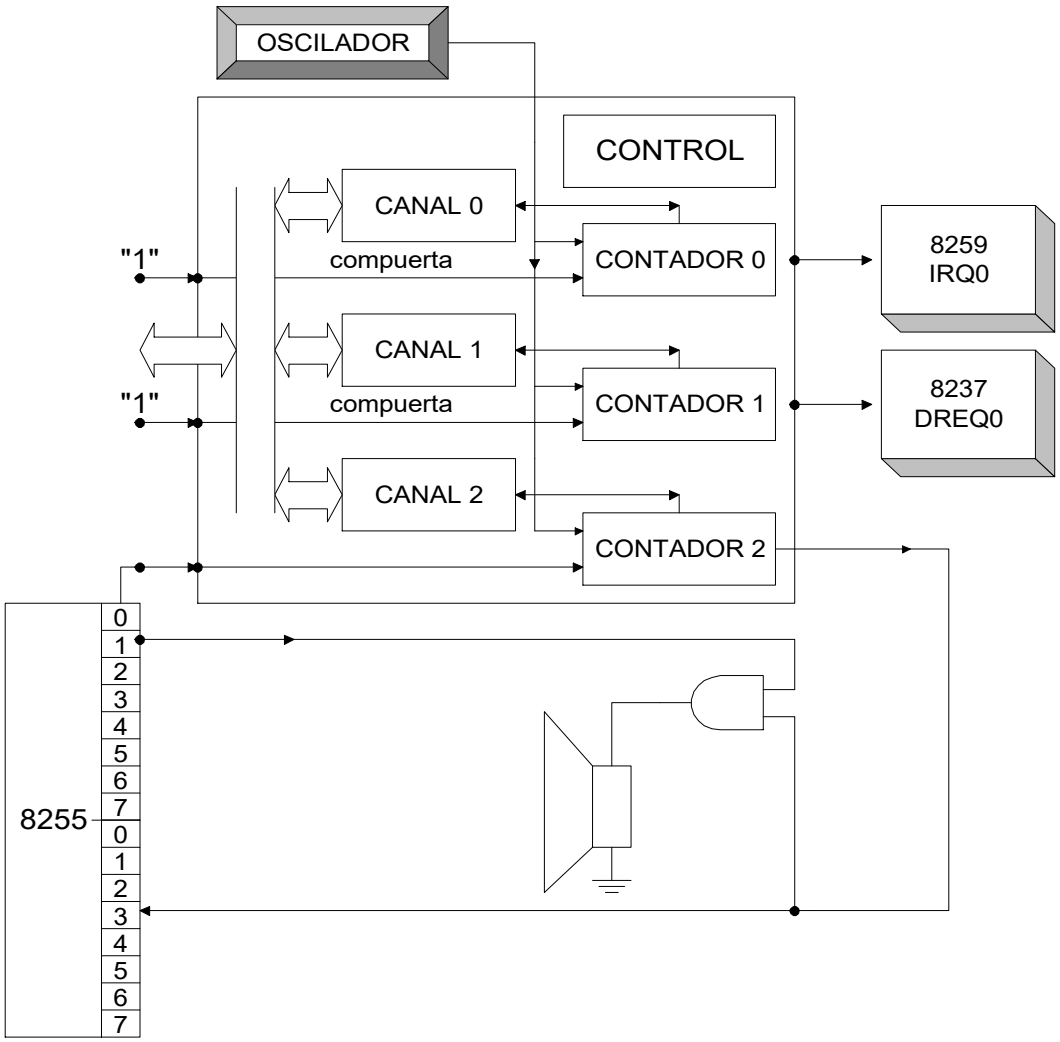


Figura 4.2.2 – Diagrama en bloques de la PC original

4.3. BUSES EN LA ARQUITECTURA PC-COMPATIBLE

4.3.1 El bus ISA

El bus ISA *(Industry Standard Architecture),* fue el primer bus utilizado en los equipos PC y XT de IBM como sistema de arquitectura abierta. Esto permitió en gran parte la proliferación de clones y la gran variedad de tarjetas de expansión e interface de bajo costo que aún se encuentran en el mercado. De los buses ISA hay dos versiones: el de *8 bits* y el de 16 *bits.*

El bus ISA de 8 bits

El bus ISA de *8 bits* salió al mercado en el año 1982 con el PC y luego se conservó en los XT's. Este bus se encuentra en forma de conector en línea de doble lado y tiene 62 contactos, 31 por cada lado. Sus pines o contactos están numerados por un lado como A1 hasta A31 y por el otro lado como B1 hasta B31. En la figura 4.3.1 se muestra la estructura física, la numeración y el nombre de cada una de las señales.

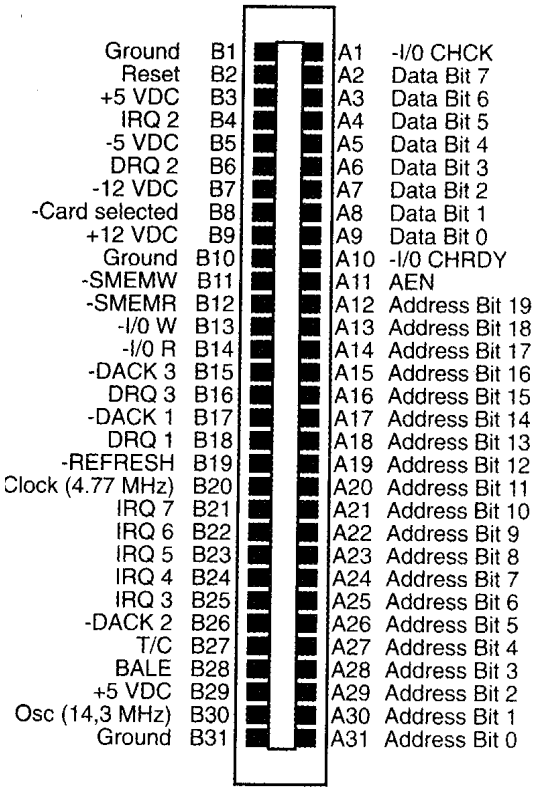


Figura 4.3.1 – Bus ISA de 8 bits

Como se puede observar en la figura, en una ranura o *slot* se encuentran el bus de datos, el bus de direcciones, las señales de control y de reloj y los voltajes de alimentación. Casi todas estas señales van conectadas al microprocesador a través de circuitos acopladores *(drivers o buffers)* con el fin de protegerlo de posibles cortocircuitos o conexiones equivocadas. Como podemos ver, en el bus ISA de *8 bits* hay un bus de datos de *8 bits* (de ahí su nombre) y un bus de direcciones de 20 líneas (lo que permite un direccionamiento hasta de *1 MByte.*

El bus contiene seis señales de interrupción (IRQ2 a IRQ7), tres canales de DMA y una señal de reloj de 4.77 MHz. Aunque cada conector en el bus se supone que trabaja de la misma forma, los primeros PC's fabricados con ocho ranuras requerían tener por lo menos una tarjeta conectada en el *slot 8* (el más cercano a la fuente de poder), con el fin de obtener una señal llamada *"card selected (tarjeta seleccionada)"* en el pin B8. Esta señal era una línea diseñada para recibir un adaptador especial de IBM llamado el 3270PC, pero la mayoría de los fabricantes de clones y compatibles no siguió esta configuración.

El pin del oscilador (B30), entrega una señal de 14.3 MHz. Cuando se debe hacer reset en el PC, el pin RESET DRV (B2) reinicia todo el sistema. Cuando se recibe una dirección válida, el pin AEN (A11) le indica al sistema que se puede decodificar esta dirección. El pin -I/O CHCK o I/O Channel Check (A1), avisa a los circuitos de la tarjeta principal (motherboard) que ha ocurrido un error en la tarjeta de expansión; el signo negativo indica que es una señal activa baja. El pin -I/O CHRDY o I/O Channel Ready (A10) se activa cuando una tarjeta de expansión está lista. Si este pin está en nivel bajo (0), el microprocesador extiende el ciclo del bus generando estados de espera (wait states).

Las seis señales de interrupción por hardware (IRQ2 a IRQ7), se utilizan por las tarjetas de expansión para demandar atención por parte del microprocesador. Las interrupciones 0 y 1 no están disponibles en el bus ya que ellas tienen las prioridades más altas del temporizador principal y el teclado. Las señales I/O Read y I/O Write indican que el microprocesador o el controlador de DMA quieren transferir datos hacia o desde el bus de datos. Las señales de lectura y escritura de memoria (-MEMR y -MEMW) le indican a la tarjeta de expansión que la CPU o el DMA van a leer o escribir datos a la memoria principal. El bus XT tiene tres señales de requisición de DMA (DRQ1 a DRQ3), que le permiten a la tarjeta de expansión transferir datos hacia o desde la memoria.

El bus ISA de 16 bits

Con el avance de la tecnología, las limitaciones del bus ISA de *8 bits* se evidenciaron rápidamente. Las seis interrupciones disponibles se coparon con la unidad de disco flexible, el disco duro, los puertos seriales y el puerto paralelo, dejando pocas posibilidades de expansión. Así mismo, de los tres canales de DMA, la unidad de disco y el disco duro ocupaban dos, quedando uno solo libre. La capacidad de direccionamiento de solo 1 MB y el bus de datos de *8 bits* también se constituyeron en un cuello de botella, que hacía los equipos muy lentos para las nuevas aplicaciones generadas en el desarrollo de nuevo *software.*

Con la aparición del microprocesador 80286 de 16 *bits y* los computadores AT en 1984, se diseñó en forma muy inteligente un nuevo bus, el ISA de 16 *bits,* que utilizaba en gran parte el bus anterior ISA de *8 bits* agregándole un segundo conector de 36 pines alineado con el primero con nuevas señales, como se ve en la figura 4.3.2. De esta forma, se podían utilizar la gran cantidad de tarjetas periféricas y de expansión que existían en el mercado. En esencia se agregaron otros *8 bits* de datos, más direcciones, cinco interrupciones y cuatro canales de DMA y algunas señales de control. Así mismo, se incrementó la velocidad a 8.33 MHz.

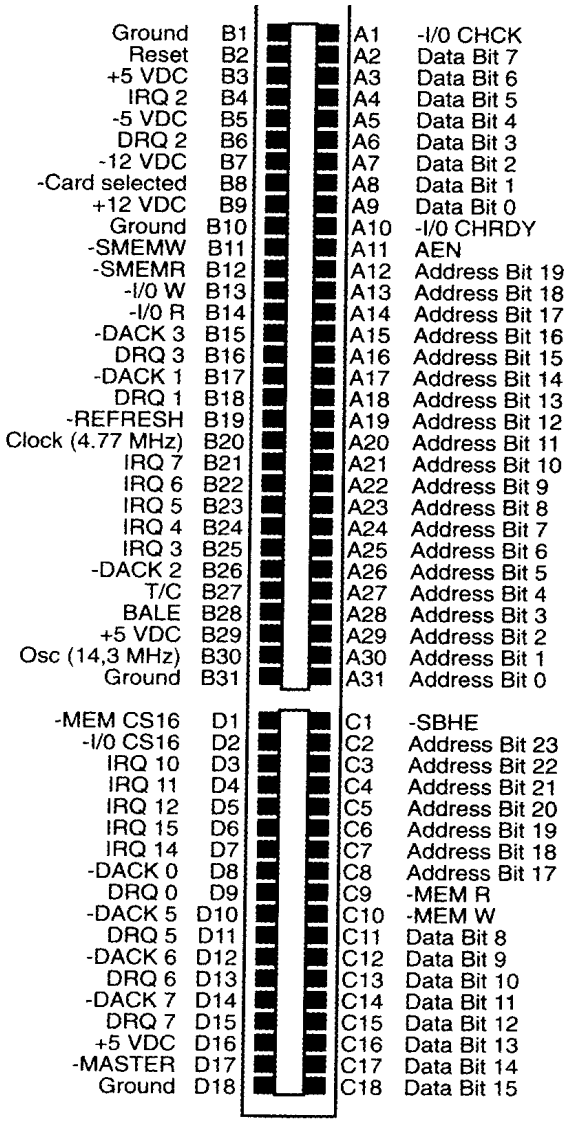


Figura 4.3.2 – Bus ISA de 16 bits

Vale la pena mencionar que el bus ISA de 16 bits o bus AT, fue ampliamente utilizado por los fabricantes de clones y compatibles, revolucionando desde el punto de vista de los precios, la industria de los PC's. Este bus todavía se encuentra en la mayoría de los computadores personales fabricados actualmente, ya que para él se fabrican una gran cantidad de tarjetas para periféricos y de expansión.

4.3.2 El bus MCA de 32 bits

Con la introducción de los microprocesadores de *32 bits* como el 80386 y el 80486, el bus ISA de 16 *bits* se quedó nuevamente atrás y se creó la necesidad de un nuevo bus. En 1987, IBM consideró que se debía archivar el bus tipo ISA y diseñó el bus MCA *(Micro Channel Architecture)* o Micro Canal en su línea de computadores PS/2.

Su diseño buscaba, además del objetivo de mejorar el rendimiento de los equipos, frenar el avance de la industria de los clones y los compatibles, ya que IBM no entregó sus características tratando de fabricar sus propias tarjetas de expansión y periféricos. Finalmente, este intento no tuvo éxito y se convirtió en un *boomerang* contra el gigante azul, que más tarde tuvo que retroceder y volver a los buses tradicionales, debido a que el bus MCA no llegó a ser muy popular entre los fabricantes de tarjetas de expansión y a que el público se negó a abandonar sus inversiones en *hardware y software* para cambiar por un nuevo sistema.

La principal diferencia entre los buses ISA y MCA consiste en la configuración física, ya que el último tiene una separación entre los pines de 0.050" con el fin de acomodar más conexiones en el mismo espacio. Esto genera una incompatibilidad total entre los dos sistemas, lo que fue un error de IBM al no considerar las inversiones en tecnología por parte de los usuarios.

4.3.3 El bus EISA de 32 bits

En 1988 y 1989 fue desarrollado el bus EISA *(Extended Industry Standard Architecture)* de *32 bits* para satisfacer las necesidades de mayor velocidad y desempeño que proporcionaban los microprocesadores 80386 y 80486 y para no dejar solo a IBM, y su bus MCA, con este mercado.

Este bus, cuyo éxito es la compatibilidad con los buses anteriores, el ISA de 8 y 16 *bits,* es un producto de un consorcio (más conocido como la banda de los nueve), formado por Compaq, Hewlett Packard, NEC, Zenith, AST, Epson, Wyse, Olivetti y Tandy. Para lograr la compatibilidad entre los dos sistemas ISA y EISA, se diseñó una solución muy ingeniosa que tardó alrededor de dos años para ser perfeccionada. E1 conector que recibe las tarjetas tiene dos filas de pines, con diferente altura o nivel y la transferencia entre los dos buses se realiza automáticamente dependiendo de la forma del conector de la tarjeta.

Los pines superiores corresponden a las tarjetas tipo ISA y en el conector inferior hay cinco topes de plástico que no permiten que éstas hagan contacto con los pines inferiores, que corresponden al bus EISA. Las tarjetas EISA tienen una serie de ranuras que coinciden con los topes y éstas se pueden deslizar hasta el fondo obteniendo el contacto con sus respectivos pines.

El bus EISA tiene 99 pines por cada lado en los cuales se ha reducido su espaciamiento de 0.100" a 0.050". En la figura 4.3.3 tenemos la distribución de las señales en este tipo de bus. Como se puede observar en la figura, el bus EISA tiene 30 líneas de direccionamiento, *32 bits* de datos, 15 niveles de interrupción y 7 canales de DMA.

Una de las principales ventajas del bus EISA es su capacidad de manejo autónomo del bus *(bus-mastering),* que en pocas palabras podría explicarse como la capacidad para permitir el intercambio de información entre dos periféricos sin la intervención de la CPU o μP Aunque la velocidad del bus EISA se conservó en 8.33 MHz, para permitir la compatibilidad con ISA, su velocidad para transferencia de los datos es mucho mayor debido al aumento en la anchura del bus; esta llega a ser de unos 33 Mb/s *(Megabits* por segundo).

Desafortunadamente, muchas tarjetas de interface tipo EISA no son más rápidas que sus similares tipo ISA, debido a que sus fabricantes no utilizan todas las propiedades que el bus ofrece. Así mismo, la baja velocidad del disco duro (comparada con otros periféricos); es un problema que no depende del bus en sí.

Ground	Ground	B1	A1	-I/0 CHCK	-CMD
+5 VDC	Reset	B2	A2	Data 7	-START
+5 VDC	+5VDC	B3	A3	Data 6	EXRDY
Reserved	IRQ 9	B4	A4	Data 5	-EX32
Reserved	-5 VDC	B5	A5	Data 4	Ground
Key	DRQ 2	B6	A6	Data 3	Key
Reserved	-12 VDC	B7	A7	Data 2	-EX16
Reserved	-0 WAIT	B8	A8	Data 1	-SLBURST
+12 VDC	+12 VDC	B9	A9	Data 0	-MSBURST
M -I/0	Ground	B10	A10	-I/0 CHRDY	W - R
-LOCK	-SMEMW	B11	A11	AEN	Ground
Reserved	-SMEMR	B12	A12	Address 19	Reserved
Ground	-I/0 W	B13	A13	Address 18	Reserved
Reserved	-I/0 R	B14	A14	Address 17	Reserved
-BE3	-DACK 3	B15	A15	Address 16	Ground
Key	DRQ 3	B16	A16	Address 15	Key
-BE2	-DACK 1	B17	A17	Address 14	-BE1
-BE0	DRQ 1	B18	A18	Address 13	-Address 31
Ground	-REFRESH	B19	A19	Address 12	Ground
+5 VDC	Clock(8.33MHz)	B20	A20	Address 11	-Address 30
-Address 29	IRQ 7	B21	A21	Address 10	-Address 28
Ground	IRQ 6	B22	A22	Address 9	-Address 27
-Address 26	IRQ 5	B23	A23	Address 8	-Address 25
-Address 24	IRQ 4	B24	A24	Address 7	Ground
Key	IRQ 3	B25	A25	Address 6	Key
Address 16	-DACK 2	B26	A26	Address 5	Address 15
-Address 14	T/C	B27	A27	Address 4	Address 13
+5 VDC	BALE	B28	A28	Address 3	Address 12
+5 VDC	+5 VDC	B29	A29	Address 2	Address 11
Ground	Osc.(14.3 MHz)	B30	A30	Address 1	Ground
Address 10	Ground	B31	A31	Address 0	Address9
Key	Key	Key	Key	Key	Key
Address 8	-MEM CS16	D1	C1	-SBHE	Address 7
Address 6	-I/O CS16	D2	C2	Address 23	Ground
Address 5	IRQ 10	D3	C3	Address 22	Address 4
+5 VDC	IRQ 11	D4	C4	Address 21	Address 3
Address 2	IRQ 12	D5	C5	Address 20	Ground
Key	IRQ 15	D6	C6	Address 19	Key
Data 16	IRQ 14	D7	C7	Address 18	Data 17
Data 18	-DACK 0	D8	C8	Address 17	Data 19
Ground	DRQ 0	D9	C9	-MEM R	Data 20
Data 21	-DACK 5	D10	C10	-MEM W	Data 22
Data 23	DRQ 5	D11	C11	Data 8	Ground
Data 24	-DACK 6	D12	C12	Data 9	Data 25
Ground	DRQ 6	D13	C13	Data 10	Data 26
Data 27	-DACK 7	D14	C14	Data 11	Data 28
Key	DRQ 7	D15	C15	Data 12	Key
Data 29	+5 VDC	D16	C16	Data 13	Ground
+5 VDC	-MASTER	D17	C17	Data 14	Data 30
+5 VDC	Ground	D18	C18	Data 15	Data 31
-MAKx	---------	D19	C19	----------	-MREQx

Figura 4.3.3 – Bus EISA

LOS BUSES LOCALES

Los buses locales surgieron por la constante demanda de una mayor velocidad en las operaciones que involucran gráficas, video y sonido presentes en la gran cantidad de aplicaciones con multimedia y otras similares, tan populares actualmente. La baja velocidad de los buses ISA, MCA y EISA sólo se podía superar conectándose directamente a las líneas de datos y direccionamiento del microprocesador y de la memoria. De esta forma, se pueden lograr velocidades hasta de 66 MHz en comparación a los 8 0 10 MHz de los otros buses. Los dos tipos principales de buses locales son el Video Local y el PCI.

4.3.4 El bus local de video o Video Local (VL) bus

Este tipo de bus fue propuesto en 1992 por la *Video Electronics Standards Association* y por eso se le llama *VESA Video Local Bus.* Irónicamente, este bus utiliza el mismo conector de 62 pines del bus MCA. Sus pines se muestran en la figura 4.3.4. Las tarjetas que utilizan este bus tienen dos conectores, uno en cada extremo y para cada bus. Los conectores o ranuras del *motherboard,* se colocan alineados con los conectores o ranuras ISA.EI bus VL es expandible de 32 a 64 *bits* permitiendo su utilización en sistemas con el microprocesador Pentium, por medio de otro conector tipo MCA alineado con el primero.

-12VDC	-12VDC	B1	A1	-TRST	-TRST
TCK	TCK	B2	A2	+12VDC	+12VDC
Ground	Ground	B3	A3	TMS	TMS
TDO	TDO	B4	A4	TDI	TDI
+5VDC	+5VDC	B5	A5	+5VDC	+5VDC
+5VDC	+5VDC	B6	A6	-INTA	-INTA
-INTB	-INTB	B7	A7	-INTC	-INTC
-INTD	-INTD	B8	A8	+5VDC	+5VDC
-PRSNT1	-PRSNT1	B9	A9	Reserved	Reserved
Reserved	Reserved	B10	A10	+3.3VDC(I/O)	+5VDC
-PRSNT2	-PRSTN2	B11	A11	Reserved	Reserved
Ground	Key	B12	A12	Key	Ground
Ground	Key	B13	A13	Key	Ground
Reserved	Reserved	B14	A14	Reserved	Reserved
Ground	Ground	B15	A15	-RST	-RST
Clock	Clock	B16	A16	+3.3VDC	+5VDC
Ground	Ground	B17	A17	-GNT	-GNT
-REQ	-REQ	B18	A18	Ground	Ground
+5VDC	+3.3VDC	B19	A19	Reserved	Reserved
Adr/Dat31	Adr/Dat31	B20	A20	Adr/Dat30	Adr/Dat30
Adr/Dat29	Adr/Dat29	B21	A21	+3.3VDC	+5VDC
Ground	Ground	B22	A22	Adr/Dat28	Adr/Dat28
Adr/Dat27	Adr/Dat27	B23	A23	Adr/Dat26	Adr/Dat26
Adr/Dat25	Adr/Dat25	B24	A24	Ground	Ground
+5VDC	+3.3VDC	B25	A25	Adr/Dat24	Adr/Dat24
C/-BE3	C/BE3	B26	A26	IDSEL	IDSEL
Adr/Dat23	Adr/Dat23	B27	A27	+3.3VDC	+5VDC
Ground	Ground	B28	A28	Adr/Dat22	Dar/Dat22
Adr/Dat21	Adr/Dat21	B29	A29	Adr/Dat20	Adr/Dat20
Adr/Dat19	Adr/Dat19	B30	A30	Ground	Ground
+5VDC	+3.3VDC	B31	A31	Adr/Dat18	Adr/Dat18
Adr/Dat17	Adr/Dat17	B32	A32	Adr/Dat16	Adr/Dat16
C/-BE2	C/-BE2	B33	A33	+3.3VDC	+5VDC
Ground	Ground	B34	A34	-FRAME	-FRAME
-IRDY	-IRDY	B35	A35	Ground	Ground
+5VDC	+3.3VDC	B36	A36	-TRDY	-TRDY
-DEVSEL	-DEVSEL	B37	A37	Ground	Ground
Ground	Ground	B38	A38	-STOP	-STOP
-LOCK	-LOCK	B39	A39	+3.3VDC	+5VDC
-PERR	-PERR	B40	A40	SDONE	SDONE
+5VDC	+3.3VDC	B41	A41	-SBO	-SBO
-SERR	-SERR	B42	A42	Ground	Ground
+5VDC	+3.3VDC	B43	A43	PAR	PAR
C/-BE1	C/-BE1	B44	A44	Adr/Dat15	Adr/Dat15
Adr/Dat14	Adr/Dat14	B45	A45	+3.3VDC	+5VDC
Ground	Ground	B46	A46	Adr/Dat13	Adr/Dat13
Adr/Dat12	Adr/Dat12	B47	A47	Adr/Dat11	Adr/Dat11
Adr/Dat10	Adr/Dat10	B48	A48	Ground	Ground
Ground	Ground	B49	A49	Adr/Dat9	Adr/Dat9
Key	Ground	B50	A50	Ground	Key
Key	Ground	B51	A51	Ground	Key
Adr/Dat8	Adr/Dat8	B52	A52	C/-BE0	C/-BE0
Adr/Dat7	Adr/Dat7	B53	A53	+3.3VDC	+5VDC
+5VDC	+3.3VDC	B54	A54	Adr/Dat6	Adr/Dat6
Adr/Dat5	Adr/Dat5	B55	A55	Adr/Dat4	Adr/Dat4
Adr/Dat3	Adr/Dat3	B56	A56	Ground	Ground
Ground	Ground	B57	A57	Adr/Dat2	Adr/Dat2
Adr/Dat1	Adr/Dat1	B58	A58	Adr/Dat0	Adr/Dat0
+5VDC	+3.3VDC	B59	A59	+3.3VDC	+5VDC
-ACK64	-ACK64	B60	A60	-REQ64	-REQ64
+5VDC	+5VDC	B61	A61	+5VDC	+5VDC
+5VDC	+5VDC	B62	A62	+5VDC	+5VDC
Key	Key	Key	Key	Key	Key
Key	Key	Key	Key	Key	Key
Reserved	Reserved	B63	A63	Ground	Ground
Ground	Ground	B64	A64	C/-BE7	C/-BE7
C/-BE6	C/-BE6	B65	A65	C/-BE5	C/-BE5
C/-BE4	C/-BE4	B66	A66	+3.3VDC	+5VDC
Ground	Ground	B67	A67	PAR64	PAR64
Adr/Dat63	Adr/Dat63	B68	A68	Adr/Dat62	Adr/Dat62
Adr/Dat61	Adr/Dat61	B69	A69	Ground	Ground
+5VDC	+3.3VDC	B70	A70	Adr/Dat60	Adr/Dat60
Adr/Dat59	Adr/Dat59	B71	A71	Adr/Dat58	Adr/Dat58
Adr/Dat57	Adr/Dat57	B72	A72	Ground	Ground
Ground	Ground	B73	A73	Adr/Dat56	AdrDat56
Adr/Dat55	Adr/Dat55	B74	A74	Adr/Dat54	Adr/Dat54
Adr/Dat53	Adr/dat53	B75	A75	+3.3VDC	+5VDC
Ground	Ground	B76	A76	Adr/Dat52	Adr/Dat52
Adr/Dat51	Adr/Dat51	B77	A77	Adr/Dat50	Adr/Dat50
Adr/Dat49	Adr/Dat49	B78	A78	Ground	Ground
+5VDC	+3.3VDC	B79	A79	Adr/Dat48	Adr/Dat48
Adr/Dat47	Adr/Dat47	B80	A80	Adr/Dat46	Adr/Dat46
Adr/dat45	Adr/Dat45	B81	A81	Ground	Ground
Ground	Ground	B82	A82	Adr/Dat44	Adr/Dat44
Adr/Dat43	Adr/Dat43	B83	A83	Adr/Dat42	Adr/Dat42
Adr/Dat41	Adr/Dat41	B84	A84	+3.3VDC	+5VDC
Ground	Ground	B85	A85	Adr/Dat40	Adr/Dat40
Adr/Dat39	Adr/Dat39	B86	A86	Adr/Dat38	Adr/Dat38
Adr/Dat37	Adr/Dat37	B87	A87	Ground	Ground
+5VDC	+3.3VDC	B88	A88	Adr/Dat36	Adr/Dat36
Adr/Dat35	Adr/Dat35	B89	A89	Adr/Dat34	Adr/Dat34
Adr/Dat33	Adr/Dat33	B90	A90	Ground	Ground
Ground	Ground	B91	A91	Adr/Dat32	Adr/Dat32
Reserved	Reserved	B92	A92	Reserved	Reserved
Reserved	Reserved	B93	A93	Ground	Ground
Ground	Ground	B94	A94	Reserved	Reserved

Figura 4.3.4 – Bus VESA/MCA

4.3.5 El bus local PCI

El bus local PCI *(Peripheral Component Interconnect)* fue propuesto por Intel en 1992 y apoyado por la mayoría de los fabricantes de computadores personales, incluyendo a Apple Computer, quien lo ha adoptado para su línea de equipos más reciente que utilizan el microprocesador PowerPC 604.

El bus PCI, de 188 pines, también utiliza conectores de 62 pines tipo MCA que se instalan algunas veces alineados con las ranuras ISA o EISA. En cambio del bus VL, el bus PCI utiliza una técnica de multiplexación de direcciones y datos que permite una considerable reducción en el número de pines. Esto crea la necesidad de circuitos de acoplamiento *(buffers)* que reducen un poco la velocidad de transferencia.

El bus PCI, de *32 bits,* es expandible a 64 *bits y* soporta la lógica de 3,3 voltios junto a la normal de 5 voltios. De esta forma hay cuatro versiones, la de 5 voltios y 32 *bits,* la de 3.3 voltios y 32 *bits,* la de 5 voltios y 64 *bits* y la de 3.3 voltios y 64 *bits.* En la figura 4.3.5 tenemos la disposición de los pines y el nombre de las diferentes señales.

Las ranuras PCI estarán dedicadas para los periféricos más críticos que pueden estar conectados directamente a la tarjeta principal o por medio de tarjetas de interface como son las unidades para multimedia (CD-ROM), tarjetas para gráficas y video, unidades de disco duro y tarjetas para conexión en red.

--------	Data 00	A01	B01	Data 01	--------	
--------	Data 02	A02	B02	Data 03	--------	
--------	Data 04	A03	B03	Ground	--------	
--------	Data 06	A04	B04	Data 05	--------	
--------	Data 08	A05	B05	Data 07	--------	
--------	Ground	A06	B06	Data 09	--------	
--------	Data 10	A07	B07	Data 11	--------	
--------	Data 12	A08	B08	Data 13	--------	
--------	+VCC	A09	B09	Data 15	--------	
--------	Data 14	A10	B10	Ground	--------	
--------	Data 16	A11	B11	Data 17	--------	
--------	Data 18	A12	B12	+VCC	--------	
--------	Data 20	A13	B13	Data 19	--------	
--------	Ground	A14	B14	Data 21	--------	
--------	Data 22	A15	B15	Data 23	--------	
--------	Data 24	A16	B16	Data 25	--------	
--------	Data 26	A17	B17	Ground	--------	
--------	Data 28	A18	B18	Data 27	--------	
--------	Data 30	A19	B19	Data 29	--------	
--------	+VCC	A20	B20	Data 31	--------	
Data 63	Addr. 31	A21	B21	Addr. 30	Data 62	
--------	Ground	A22	B22	Addr. 28	Data 60	
Data 61	Addr. 29	A23	B23	Addr. 26	Data 58	
Data 59	Addr. 27	A24	B24	Ground	--------	
Data 57	Addr. 25	A25	B25	Addr. 24	Data 56	
Data 55	Addr. 23	A26	B26	Addr. 22	Data 54	
Data 53	Addr. 21	A27	B27	+VCC	--------	
Data 51	Addr. 19	A28	B28	Addr. 20	Data 52	
--------	Ground	A29	B29	Addr. 18	Data 50	
Data 49	Addr. 17	A30	B30	Addr. 16	Data 48	
Data 47	Addr. 15	A31	B31	Addr. 14	Data 46	
--------	+VCC	A32	B32	Addr. 12	Data 44	
Data 45	Addr. 13	A33	B33	Addr. 10	Data 42	
Data 43	Addr. 11	A34	B34	Addr. 8	Data 40	
Data 41	Addr. 9	A35	B35	Ground	--------	
Data 39	Addr. 7	A36	B36	Addr. 6	Data 38	
Data 37	Addr. 5	A37	B37	Addr. 4	Data 36	
--------	Ground	A38	B38	-WBAK	--------	
Data 35	Addr. 3	A39	B39	-BE 0	-BE 4	
Data 34	Addr. 2	A40	B40	+VCC	--------	
-LBS64	n/c	A41	B41	-BE 1	-BE 5	
--------	-RESET	A42	B42	-BE 2	-BE 6	
--------	D/-C	A43	B43	Ground	--------	
--------	M/-I/O	A44	B44	-BE 3	-BE 7	
--------	W/-R	A45	B45	-ADS	--------	
Key	Key	Key	Key	Key	Key	
Key	Key	Key	Key	Key	Key	
--------	-RDYRTN	A48	B48	-LRDY	--------	
--------	Ground	A49	B49	-LDEV	--------	
--------	IRQ 9	A50	B50	-LREQ	--------	
--------	-DRDY	A51	B51	Ground	--------	
--------	-BLAST	A52	B52	-LGNT	--------	
Data 32	ID 0	A53	B53	+VCC	--------	
Data 33	ID 1	A54	B54	ID 2	--------	
--------	Ground	A55	B55	ID 3	--------	
--------	LCLK	A56	B56	ID 4	-ACK64	
--------	+VCC	A57	B57	n/c	--------	
--------	-LBS16	A58	B58	-LEADS	--------	

Figura 4.3.5 – Bus PCI

Cada paso que se avanza en la industria de los computadores personales trae cambios tanto técnicos como de adaptación del usuario y requiere un consenso de las empresas que dominan el mercado. Si no se tiene en cuenta al usuario o no se logra una norma aprobada por un buen número de fabricantes, como en el caso del bus MCA, los resultados pueden ser muy negativos. El bus PCI, aceptado por las dos principales plataformas, PC y Mac, y en versiones de 32 y 64 bits, es uno de los que permaneció por más tiempo en el mercado.

4.3.6 El Puerto de Gráficos Acelerado (AGP)

La necesidad de aumentar el ancho de banda (ancho de banda) entre el procesador principal y el subsistema video lleva originalmente al desarrollo del bus de I/O local en el PCs, empezando con el VESA local bus y luego llevado al popular bus PCI. Esta tendencia continua de la necesidad de ancho de banda de video comenzó a empujar contra los límites del bus PCI.

Tal como anteriormente fue el caso con el bus ISA, el tráfico en el bus PCI está empezando a ponerse pesado en las PCs de extremo alto, con video, disco duro y datos de periféricos todos que compiten para el mismo ancho de banda de I/O. Para combatir la saturación eventual del bus PCI con información de video, una nueva interface ha sido introducida por Intel, diseñado específicamente para el subsistema de video. Se llama el Puerto de Gráficos Acelerado o AGP.

AGP se desarrolló en respuesta a la tendencia hacia los requisitos de mayores y mayores desempeño para el video. Cuando el software evoluciona y el uso de la computadora continúa en las áreas previamente inexploradas como aceleración 3D y reproducción de video en pleno movimiento, el procesador y los procesadores gráficos necesitan procesar cada vez más información. El bus de PCI alcanzó su límite de desempeño en estas aplicaciones, sobre todo con disco duro y también otros periféricos en su lucha por el mismo ancho de banda.

Otro problema ha sido las demandas crecientes para la memoria de video. Cuando la informática en 3D se vuelve más habitual, se requieren cantidades muy grandes de memoria, no sólo para la imagen de la pantalla sino también para hacer los cálculos en 3D. Esto tradicionalmente ha significado poner más memoria en la tarjeta de video para hacer este trabajo. Hay dos problemas con esto:

Costo: La memoria de la tarjeta de video es muy cara comparada a la RAM normal del sistema.

Tamaño limitado: La cantidad de memoria en la tarjeta de video estaba limitada: si usted decide poner 6 MB en la tarjeta y se necesitan 4 MB para el buffer de marcos, usted tiene sólo 2 MB para trabajo de procesamiento. No es fácil de extender esta memoria, y usted no puede usarla para nada más que no sea para el proceso de video.

AGP soluciona estos problemas permitiendo al procesador de video acceder a la memoria del sistema principal para hacer sus cálculos. Esto es más eficaz porque esta memoria puede compartirse dinámicamente entre el procesador del sistema y el procesador de video, dependiendo de las necesidades del sistema.

La idea detrás de AGP es simple: crear una interfase más rápida y especializada, entre el procesador de video y el procesador del sistema. La interfase es sólo entre estos dos dispositivos; esto tiene tres ventajas principales: Es más fácil de implementar el puerto, hace más fácil aumentar la velocidad del AGP, y hace posible implementar mejoras en el diseño que son específicas del video.

AGP es considerado un puerto, y no un bus, porque sólo involucra dos dispositivos (el procesador y tarjeta del video) y no es expansible. Una de las grandes ventajas de AGP es que aísla el subsistema de video del resto de la PC de manera que no hay casi ninguna disputa sobre el ancho de banda de I/O como sucedía con el PCI. Con la tarjeta de video quitada del bus de PCI, otros dispositivos de PCI también se beneficiarán del ancho de banda mejorado.

Interfaz AGP

La interfaz AGP todavía es bastante similar a PCI. El propio *slot* es físicamente similar en forma y tamaño, pero se desplaza más allá del borde del motherboard en donde se ubican los *slots* PCI. La especificación de AGP es de hecho basada en la especificación PCI 2.1 que incluye

un alto ancho de banda, de 66 MHz que nunca antes fue implementado en el PC. Los *motherboards* con AGP tienen un solo *slot* de tarjeta de expansión para la tarjeta de video AGP, y normalmente un *slot* PCI menos, y es por otra parte bastante similar a las *motherboards* PCI.

AGP tiene de 32 bits de ancho, igual que el PCI, pero en lugar de correr a la mitad de la velocidad del bus del sistema (memoria) de la manera que lo hace PCI, corre a velocidad plena del bus. Esto significa que en un motherboard Pentium II normale, AGP usa 66 MHz en lugar de los 33 MHz del bus PCI. Esto duplica el ancho de banda del puerto; en lugar del límite de 133 MB/s de PCI, AGP, en su modo de velocidad más bajo tiene un ancho de banda de 266 MB/s. Además, por supuesto, los beneficios de no tener que compartir ancho de banda con otros dispositivos de PCI.

Además de duplicar la velocidad del bus, AGP ha definido un modo 2X que usa señalización especial para permitir enviar a través del puerto el doble de datos a la misma velocidad de reloj. Lo que el hardware hace es enviar información sobre los flancos de subida y bajada de la señal de reloj. El resultado es que el desempeño se duplica de nuevo, a 533 MB/s que el ancho de banda teórico. En el modo 4X la tasa de transferencia se eleva a 1066 MB/s y en el modo 8X se logra un ancho de banda de 2.132 GB/s. Este bus ha sido reemplazado en la actualidad por el PCI-E.

4.3.7 Interfaz PCI Express (PCI-E)

A diferencia de todos los anteriores, PCI Express está implementado con conexiones serie de alta velocidad, punto a punto y bidireccionales, llamadas “lanes”. En la figura siguiente se puede ver un “lane”, correspondiente a PCI-E 1X.

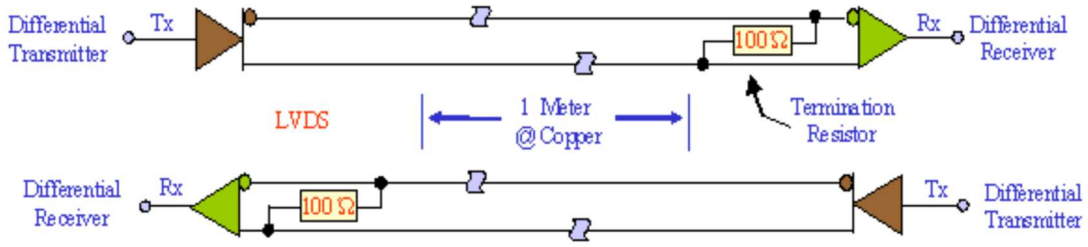


Figura – 5.3.6 – circuito de la interfaz PCI-E

La velocidad de la señal se estableció en 2,5 GHz y los datos se transmiten en “frames” de 10 bits, con uno de “start”, 8 de datos y uno de “stop”. De esta forma, a 2,5 GHz se pueden transmitir 250 MB/s. Esto requiere de menor cantidad de contactos que una interfaz paralelo, por lo que el conector será más pequeño. Una revisión posterior del estándar aumentó la velocidad a 5 GHz, con lo que el máximo ancho de banda, usando 23 “lanes” se eleva a 16 GB/s.

En las figuras siguientes se puede ver la lista de señales y las dimensiones de los conectores.

Pin	Side B Connector		Side A Connector	
#	Name	Description	Name	Description
1	+12v	+12 volt power	PRSNT#1	Hot plug presence detect
2	+12v	+12 volt power	+12v	+12 volt power

3	RSVD	Reserved	+12v	+12 volt power
4	GND	Ground	GND	Ground
5	SMCLK	SMBus clock	JTAG2	TCK
6	SMDAT	SMBus data	JTAG3	TDI
7	GND	Ground	JTAG4	TDO
8	+3.3v	+3.3 volt power	JTAG5	TMS
9	JTAG1	+TRST#	+3.3v	+3.3 volt power
10	3.3Vaux	3.3v volt power	+3.3v	+3.3 volt power
11	WAKE#	Link Reactivation	PWRGD	Power Good
Mechanical Key				
12	RSVD	Reserved	GND	Ground
13	GND	Ground	REFCLK+	Reference Clock Differential pair
14	HSOp(0)	Transmitter Lane 0, Differential pair	REFCLK-	
15	HSOn(0)		GND	Ground
16	GND	Ground	HSIp(0)	Receiver Lane 0, Differential pair
17	PRSNT#2	Hotplug detect	HSIn(0)	
18	GND	Ground	GND	Ground

Tabla 4.3.1 – Lista de señales de PCI-E 1X

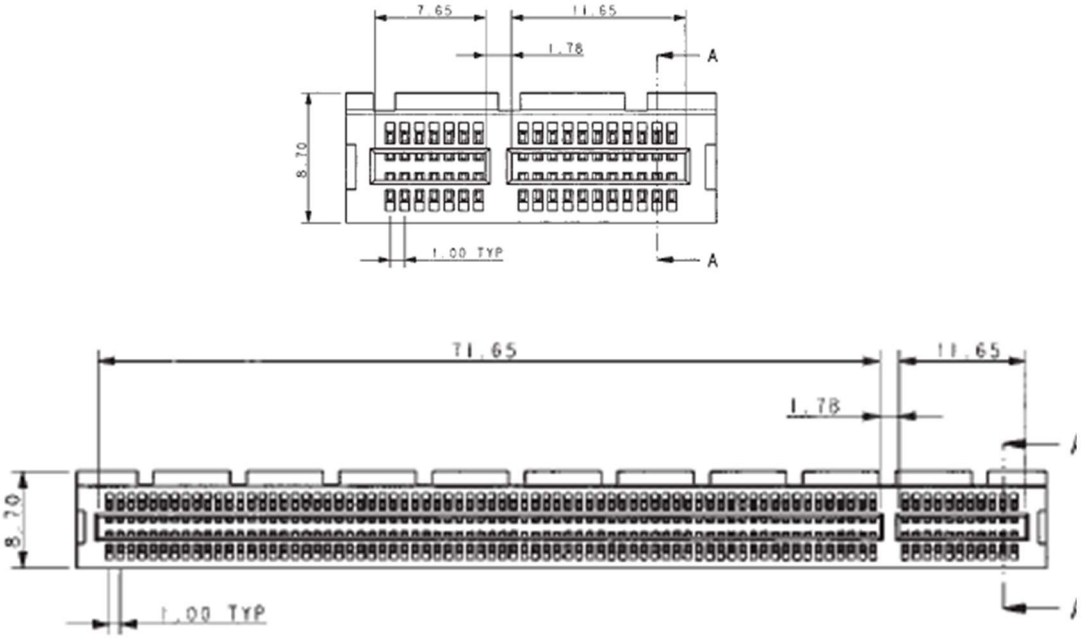


Figura – 5.3.7 – Conectores PCI-E 1X y 16X

4.3.8 El SMBus

Introducción

El bus de Dirección de Sistema (System Management Bus - SMBus) es una interfaz de dos conductores a través de la cual varios componentes (chips) de sistema pueden comunicarse entre sí y con el resto del sistema. Está basado en los principios de funcionamiento del I^2C *.

SMBus provee un bus de control para tareas del sistema y manejo de potencia. Un sistema puede usar SMBus para pasar mensajes hacia y desde los dispositivos en lugar de utilizar líneas del comando individuales. Quitando las líneas del comando individuales se reduce la cantidad de pines. La aceptación de mensajes asegura la expansibilidad futura.

Con el Bus de Dirección de Sistema, un dispositivo puede proporcionar la información del fabricante, decir al sistema su número de parte o modelo, salvar su estado para un evento suspendido, informar los diferentes tipos de errores, aceptar los parámetros de control y devolver su estado (status).

Características generales

SMBus es un bus de dos conductores. Múltiples dispositivos, tanto los amos del bus como los esclavos del bus, pueden conectarse a un segmento de SMBus. Generalmente, un dispositivo amo de bus comienza una transferencia de bus entre él y un solo esclavo del bus y proporciona las señales de reloj. La única excepción a esta regla, detallada después, es durante el arreglo inicial de bus (setup) cuando un solo amo puede comenzar las transacciones con múltiples esclavos simultáneamente. Un dispositivo esclavo de bus puede recibir datos proporcionados por el amo o puede proporcionar datos al amo.

Sólo un dispositivo puede dominar el bus en un momento dado. Debido a que más de un dispositivo puede intentar tomar mando del bus como amo, SMBus proporciona un mecanismo del arbitraje basado en la conexión AND-cableado de todas las interfases de dispositivos unidos al SMBus.

Esta especificación define dos clases de características eléctricas, baja potencia y alta potencia. La primera clase, originalmente definida en las especificaciones SMBus 1.0 y 1.1, se diseñó principalmente pensando en las Baterías Inteligentes, pero podría usarse con otros dispositivos de baja potencia. Esta versión de la especificación introduce un conjunto alternativo de características eléctricas de alta potencia. Esta clase es apropiada para el uso cuando se requiere capacidad de manejo más alta, por ejemplo con los dispositivos SMBus incluídos en tarjetas PCI y para conectar estas tarjetas a otras a través del conector PCI entre sí y a los dispositivos SMBus en la placa madre del sistema.

Los dispositivos pueden ser alimentados por VDD en el bus o por otra fuente de poder, VBus, (como, por ejemplo, las Baterías Inteligentes) e inter-operarán con tal de que adhieran a las especificaciones eléctricas SMBus para su clase.

El diagrama siguiente muestra una aplicación de ejemplo de un SMBus 5 voltios con dispositivos alimentados por el bus VDD inter-operando con dispositivos auto-alimentados.

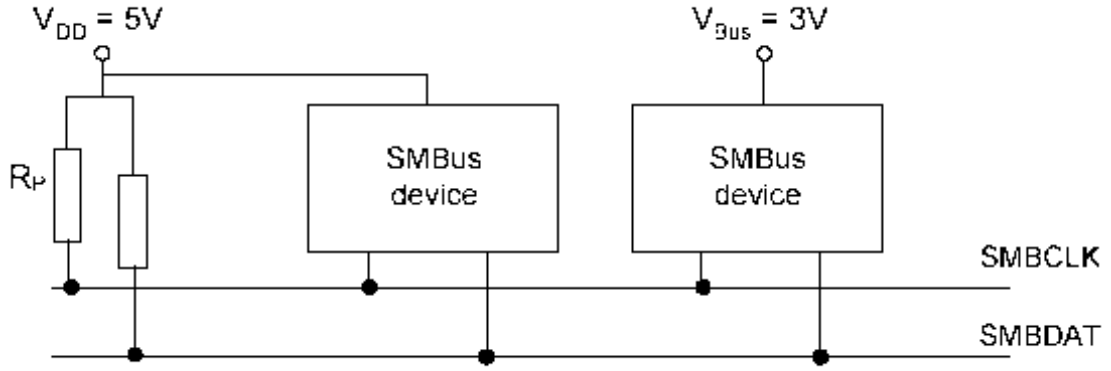


Figura 4.3.8 – Aplicación de SM-Bus

VDD puede ser 3 a 5 voltios + / - 10% y puede haber dispositivos de SMBus alimentados directamente por el bus VDD. Ambas líneas, SMBCLK y SMBDAT son bi-direccionales, conectadas a un voltaje de alimentación positivo a través de una resistencia de pull-up, una fuente de corriente u otro circuito similar. Cuando el bus esta libre, ambas líneas están altas. Las etapas de salida de los dispositivos conectados al bus deben tener un drenaje abierto o colector abierto para realizar la función AND-cableada.

Capa 1 - Capa Física

Se espera que SMBus 2.0 opere en por lo menos dos ambientes mutuamente exclusivos diferentes que tienen requisitos eléctricos diferentes. En un caso, SMBus debe operar fiablemente en el ambiente de baja potencia tradicional de las baterías. También debe operar fiablemente en el ambiente de mayor ruido del conector de PCI y las tarjetas PCI.

Las especificaciones de CA son comunes, tanto para el de baja como de alta potencia. Las mismas se muestran en el diagrama siguiente:

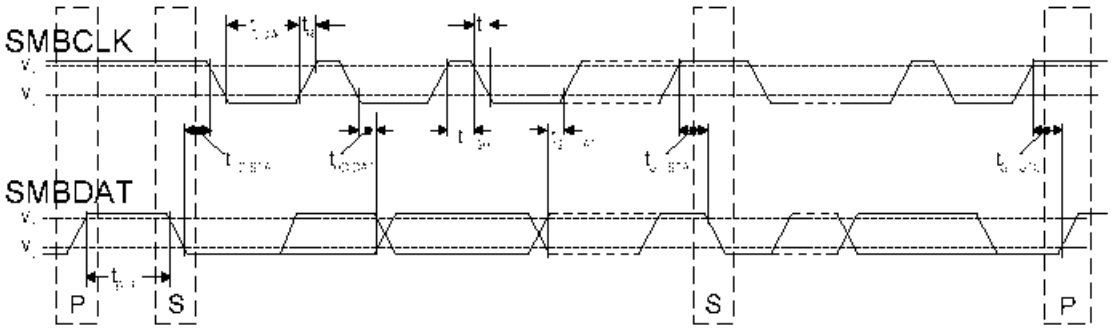


Figura 4.3.9 – Diagrama de tiempos de SM-Bus

Capa 2 – Capa de Enlace de Datos

SMBus usa niveles de voltaje fijos para definir los estados lógicos CERO y UNO en el bus.

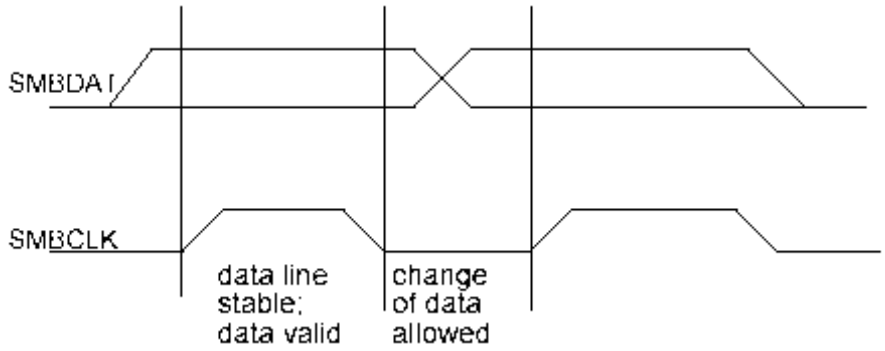


Figura 4.3.10 – Diagrama de tiempos de SM-Bus

Cada byte transferido en el bus debe ser seguido por un bit de reconocimiento (ACK). Los bytes se transfieren con el bit más significativo (MSB) primero.

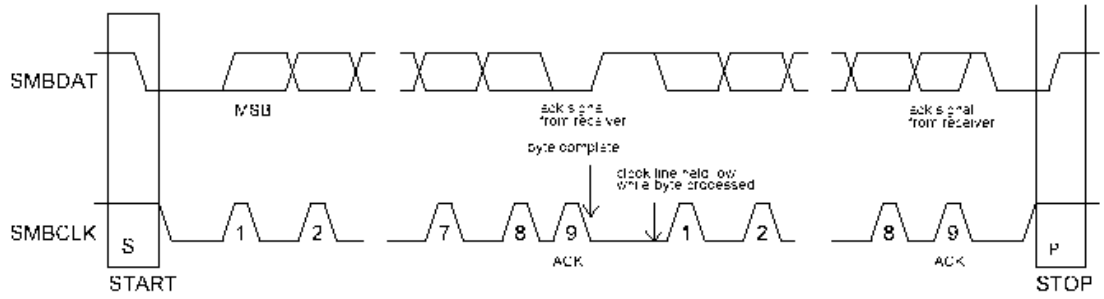


Figura 4.3.11 – Protocolo de SM-Bus

Capa 3 - Capa de Red

La Especificación de SMBus se refiere a tres tipos de dispositivos. Un esclavo (slave) es un dispositivo que está recibiendo o está respondiendo a un orden. Un amo (master) es un dispositivo que emite los órdenes, genera los relojes y termina la transferencia. Un organizador (host) es un amo especializado que proporciona la interfaz principal al CPU del sistema. Un organizador debe ser un amo-esclavo y debe soportar los protocolos de notificación de host de SMBus. Puede haber a lo sumo un organizador en un sistema. Un ejemplo de sistema “hostless” es un simple estación de carga de baterías. La estación podría estar enchufada en la pared esperando para cargar una batería inteligente.

Referencias:

System Management Bus (SMBus) Specification Version 2.0 www.smbus.org

4.3.9 Resumen

Mientras que la performance de los procesadores continúa duplicándose cada 18 meses, la performance de los buses de IO se retrasa, doblando la performance cada tres años, como se aprecia en la figura 4.3.12.

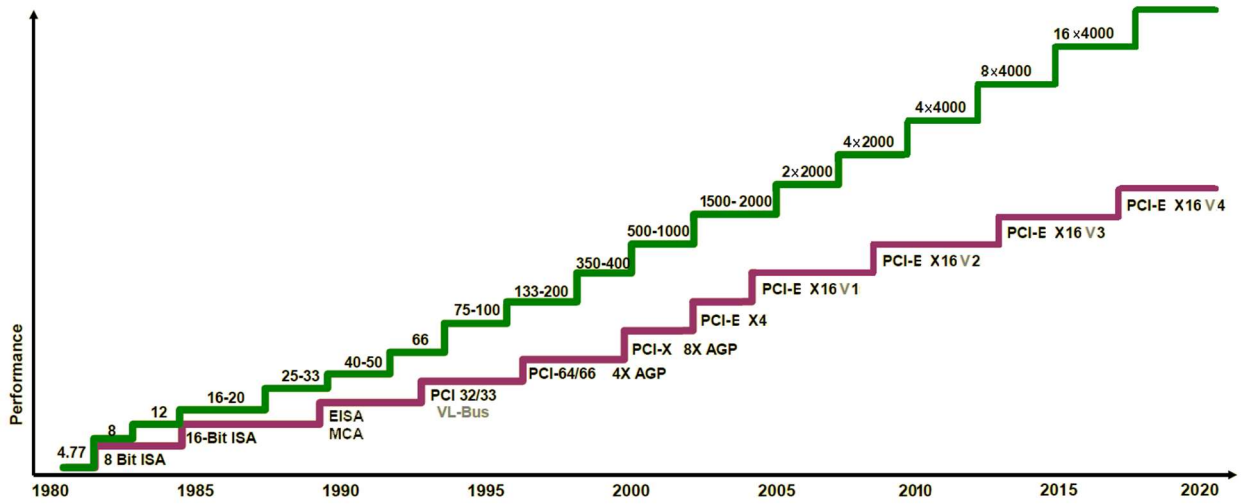


Figura 4.3.12 – Performance de procesadores vs Buses

Las características de los diferentes buses son las siguientes:

Interfaz	Tensión	Frecuencia	Datos por ciclo	Líneas de datos	Ancho de banda
ISA-8	5 V	8 MHz	1	8	**8 MB/s**
ISA-16	5 V	8 MHz	1	16	**16 MB/s**
VLB	5 V	33 MHz	1	32	**133 MB/s**
PCI 2.0	5 V	33 MHz	1	32	**133 MB/s**
PCI 3.0	3.3 V	33 MHz	1	32	**133 MB/s**
PCI-X 2.0	3.3 V	266 MHz	1	64	**2133 MB/s**
AGP 1.0	3,3 V	66 MHz	1 ó 2	32	**266/533 MB/s**
AGP 2.0	1,5 V	66 MHz	4	32	**1066 MB/s**
AGP 3.0	0,9 V	66 MHz	8	32	**2133 MB/s**
PCI-E 1.0 X1	3,3 V	2500 MHz	1	1	**250 MB/s**
PCI-E 2.0 X1	3,3 V	5000 MHz	1	1	**500 MB/s**
PCI-E 2.0 X4	3,3 V	5000 MHz	1	4	**2000 MB/s**
PCI-E 2.0 X16	3,3 V	5000 MHz	1	16	**8000 MB/s**
PCI-E 3.0 X16	3,3 V	8000 MHz	1	16	**12800 MB/s**
PCI-E 4.0 X16	3,3 V	16000 MHz	1	16	**25600 MB/s**

Tabla 4.3.1 – Características de los buses

4.4 ARQUITECTURAS ACTUALES DE PC

4.4.1 Introducción:

En el anexo A.1 se pueden ver algunos modelos de motherboards, desde el primero, diseñado para el 8088 (o su clon, el NEC V20) hasta uno actual (Diciembre de 2007), que permite instalar los últimos procesadores de 4 núcleos, dos placas de video en SLI, varios GB de RAM DDR2, arreglos de discos SATA2, audio de 8 canales, Ethernet de 1 GB, Firewire, varios puertos USB 2.0 y una Bios que permite múltiples configuraciones del HW sin abrir el gabinete.

4.4.2 Moterboard Intel

En el diagrama siguiente se puede ver la interconexión entre los distintos bloques que constituyen una motherboard actual para procesadores Intel.

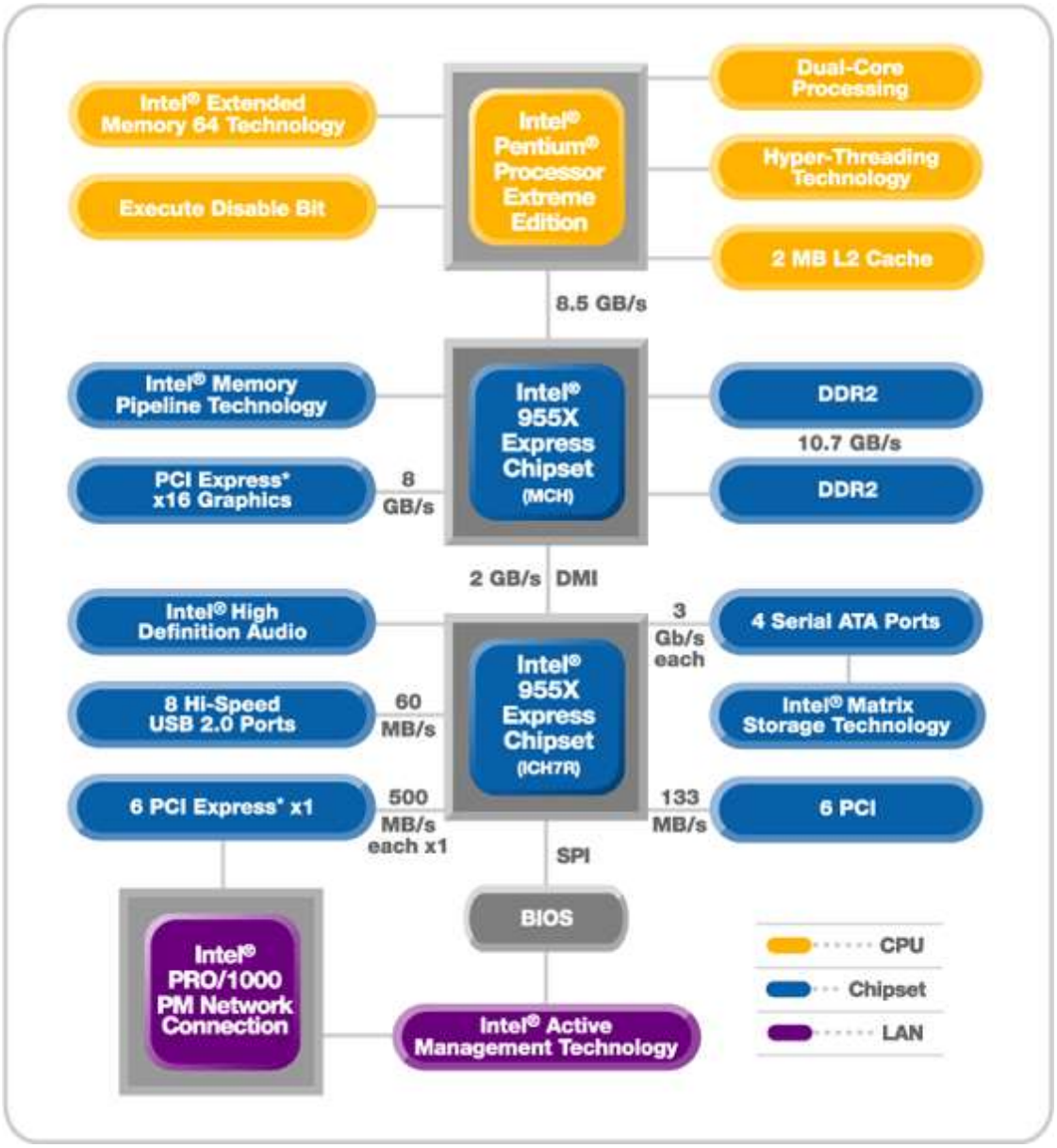


Figura 4.4.1 – Diagrama en bloque de motherboard para Intel

4.4.3 Moterboard AMD

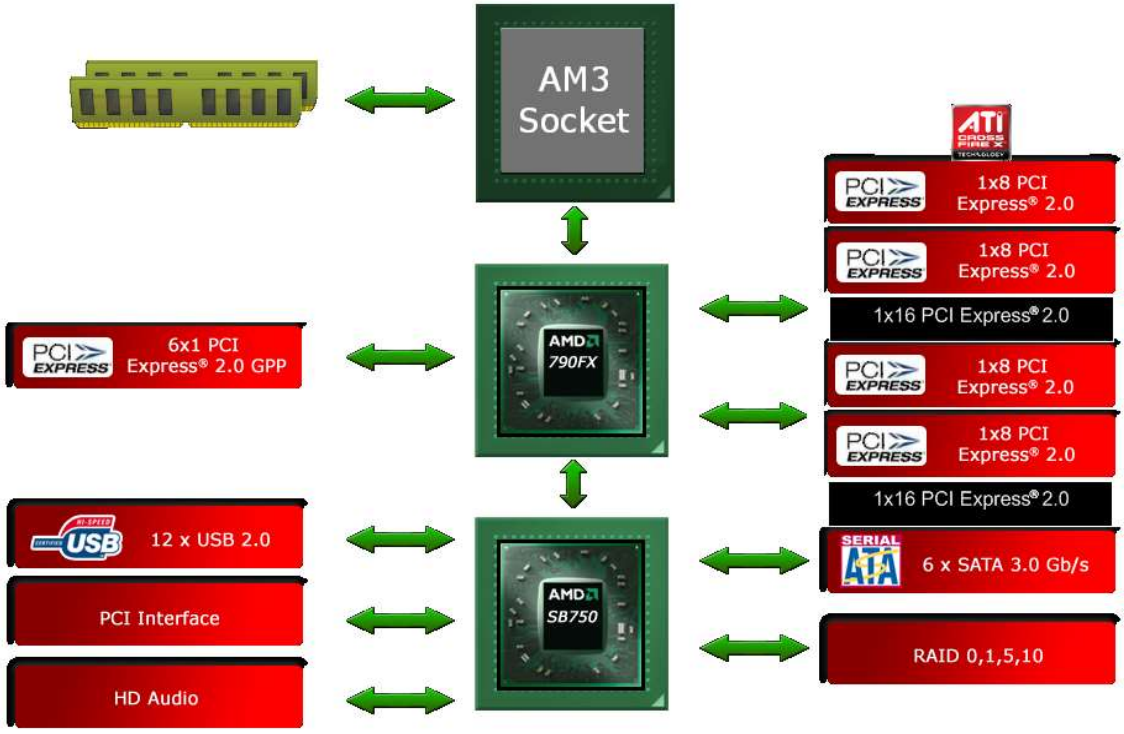


Figura 4.4.2 – Diagrama en bloque de motherboard para AMD

4.4.4 BIOS Setup de un motherboard actual

Figura 4.4.3 – Interfaz UEFI (Unified Extensible Firmware Interface)

4.5 MONITORES DE VIDEO

4.5.1 Fundamentos

Un monitor es un dispositivo de proyección de imágenes en la pantalla. Su calidad es determinada por su habilidad de producir la mejor imagen posible. Esto significa buenos colores e imágenes y textos claros y nítidos.

4.5.2 Colores

Los colores son rayos de luz, es decir ondas electromagnéticas con longitudes de onda entre 380 nm y 780 nm. Nosotros los percibimos con nuestros ojos y nuestro cerebro los traduce en lo que nosotros llamamos “colores”.

En otros términos: los colores son productos de nuestro cerebro. Esto significa que una persona puede concebir los colores de manera diferente de otra.

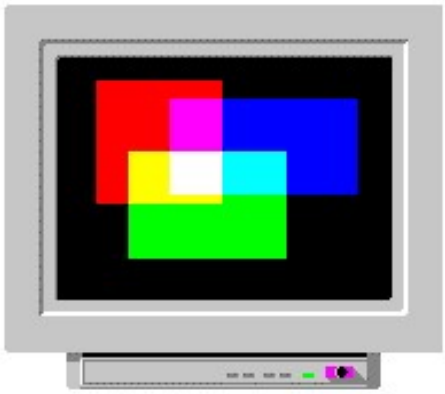


Figura 4.5.1 – Monitor color

Para mostrar los colores, los monitores usan lo que se llama **“mezcla de colores aditiva”**, usando luz verde, roja y azul. Esto es debido al hecho que si nosotros mezclamos luz roja, verde y azul (RGB), conseguimos luz blanca. Cuando se requiere blanco en la pantalla, se encienden los puntos rojos, verdes y azules que al brillar juntos producen la luz blanca.

Profundidad de color (Color depth)

En la tabla siguiente se muestran las diferentes cantidades de bits asignadas por pixel, lo que determina la cantidad de colores diferentes que podrá mostrar el monitor, dependiendo de sus posibilidades y de la tarjeta gráfica. Programas de edición pueden usar hasta 48 bits.

	Otro uso	Rojo (R)	Verde (G)	Azul (B)	Total/pixel	Colores
	1 bit	1 bit	1 bit	1 bit	4 bits	16
	0 bits	3 bits	3 bits	2 bits	8 bits	256
Color alto	1 bit	5 bits	5 bits	5 bits	16 bits	65,535
Color verdadero	0 bits	8 bits	8 bits	8 bits	24 bits	16,777,216
Color profundo	2 bits	10 bits	10 bits	10 bits	32 bits	1,073,741,824

Tabla 4.5.1 – Bits por pixel y cantidad de colores

Comparativa de la misma imagen, mostrada con diferentes profundidades de color.

24 bit.png, 16,777,216 colores, 98 kB

8 bit.png, 256 colores, 37 kB (−62%)

4 bit.png, 16 colores, 13 kB (−87%)

Figuras 4.5.2 a, b y c – Profundidad de color

Cuando se trata de representar colores en un papel, por medio de tintas o en otras superficies mediante pinturas, se utiliza la **"mezcla de colores sustractiva",** usando los colores cyan, magenta y amarillo (CMY) como los empleados en la tinta de las impresoras. Las impresoras usualmente cuentan también con un depósito de tinta negra para lograr mejor color y definición en los textos, como es el caso de este apunte.

cyan = (verde + azul) y es el complemento del rojo

magenta = (rojo + azul) y es el complemento del verde

 amarillo = (rojo + verde) y es el complemento del azul

4.5.3 Ajustes en los monitores

Color

Aumentando o disminuyendo el ajuste de color afectará la saturación de color de su monitor, significando cuán profundos o realzados son los colores. Simplemente ajústelo al máximo para ver lo que es "demasiado color".

Tinte (tint)

El ajuste de tinte es uno de los ajustes más flexibles en lo que se refiere a su definición, y lo que realmente hace en su monitor puede variar dependiendo del fabricante. A veces parece como un ajuste de brillo más temperamental. En otros monitores, puede afectar tanto el color como la atenuación. Generalmente estamos hablando sobre el color "colorido" (hue), y usted sabrá cuando hace lo correcto cuando la imagen es tan real como sea posible.

Brillo (brightness)

Cambiándolo hará su pantalla más oscura o más luminosa y realmente es una cuestión de preferencia personal. La mayoría de las personas tiende a encontrar confortable aproximadamente el 75% del rango. Este ajuste puede depender de la iluminación ambiente y de hecho hay monitores que poseen un sensor de luz para realizar un ajuste automático del brillo.

Agudeza (sharpness)

Hay un poco de vaguedad sobre cuanto los ajustes de su monitor pueden ayudar a definir su agudeza realmente. Depende mas de su resolución y la calidad del material que está viendo (ej. una película en alta definición vs. un video de YouTube, o una fotografía profesional vs. una casera). Generalmente esto hará los bordes de su imagen más oscuros y más definidos. Ajustándolo demasiado bajo, resultará una imagen suave, como con niebla.

4.5.4 Tecnologías de monitores

Hay varios tipos de monitores. Los de tecnología de tubo de rayos catódicos (CRT) fueron los primeros y actualmente han sido reemplazados por los de tecnología de cristal líquido (LCD) y LED, con menor consumo y tamaño.

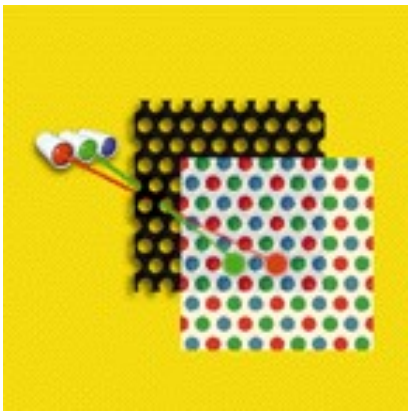
EL CRT DE TRÍADAS DE PUNTOS Y MÁSCARA DE SOMBRA

Los monitores trabajan apuntando un haz de electrones a una gota de fósforo, que a su vez brilla. Esta luz es lo que nosotros percibimos como un "pixel" (PIcture ELement - elemento de imagen) en la pantalla. El monitor a color normal tiene tres puntos (tríada de puntos) por cada posición en la pantalla: rojo, verde y azul. Hay un cañón de electrones correspondiente para cada color que emite un haz de electrones de intensidad variable - esto es para controlar el brillo. Para

asegurar que los electrones de cada cañón acierten en el fósforo correspondiente, se usa una "máscara de sombra".

Debido a que los tres haces de electrones llegan con ángulos ligeramente diferentes (de los tres cañones de electrones), es posible construir y alinear la máscara de sombra tal que el haz de electrones de un cañón golpeará el punto del fósforo correcto, pero los otros dos fósforos estarán en la sombra.

De esta manera, la intensidad de rojo, verde y azul puede ser controlada separadamente para cada posición de las tríadas de puntos. Después de que un haz deja de incidir en un punto de fósforo, el fósforo continúa brillando brevemente, esta condición se llama persistencia. Para que una imagen permanezca estable, los fósforos deben reactivarse con barridos repetidos de los haces de electrones.



Figuras 4.5.3 CRT de tríadas y mascara de sombra

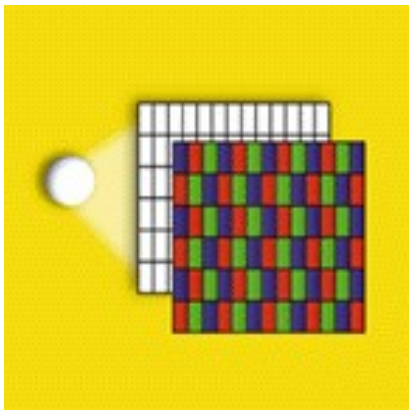
La máscara de sombra normalmente es una máscara de invar (64% hierro & 36% níquel) consistente en una placa delgada con agujeros pequeños perforados en ella. Sólo aproximadamente 20-30% del haz de electrones pasa realmente a través de los agujeros en la máscara y golpea el fósforo de la pantalla, de tal forma que el resto de la energía es disipado como calor en la máscara.

Como resultado, los monitores de máscara de sombra son propensos a tener problemas de pureza de color cuando ellos se calientan debido al pequeño cambio en la posición de los agujeros con respecto a los puntos del fósforo. Las máscaras de sombra - o su equivalente - han hecho posible la producción de masa de CRTs.

Debido a la forma en que los puntos de fósforo se colocan en los monitores de máscara de sombra, estos tubos entregan los bordes limpios y diagonales afiladas, lo que es importante para la reproducción de texto.

EL PANEL DE LCD

En un panel de LCD, una capa delgada de material transmite o bloquea la luz; con este material colocado en una serie de células diminutas, cada píxel en una imagen puede encenderse o apagarse como sea requerido. Los LCDs entregan imágenes sólidas, sin parpadeo y emiten mucho más bajas cantidades de radiación VLF (Frecuencia Muy Baja) y ELF (Frecuencia Sumamente Baja). También ocupan mucho menos lugar.



Figuras 4.5.4 Panel LCD

Historia del TFT LCD

Los cristales líquidos fueron descubiertos por el botánico austríaco Fredreich Rheinizer en 1888. A mediados de 1960, los científicos descubrieron que los cristales líquidos, cuando eran estimulados con una carga eléctrica externa, podían alterar las propiedades del pasaje de la luz a través de ellos.

El cristal TFT (Thin Film Transistor Liquid Crystal Display) tiene tantos TFTs como pixeles a mostrar, mientras que un cristal filtro de color (CFG) es el que genera el color. Los cristales líquidos se mueven de acuerdo al potencial aplicado entre el cristal CFG y el cristal TFT. La cantidad de luz suministrada por la luz posterior (Back Light) está determinada por la cantidad de movimiento de los cristales líquidos de forma de generar color.

Los monitores actuales están construidos con una estructura "sándwich", como muestra la figura:

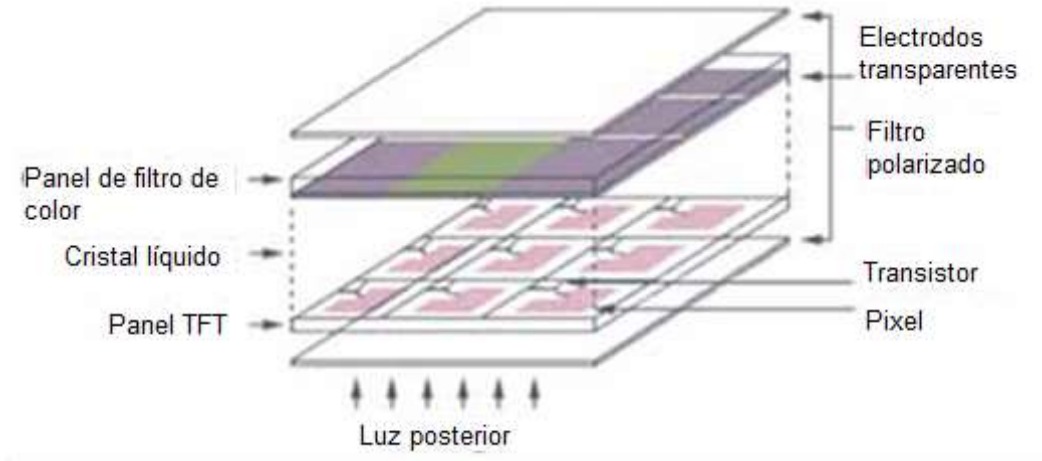


Figura 4.5.5 – Panel LCD TFT

LCD de matriz pasiva y activa

En LCDs de matriz pasiva no hay dispositivos de conmutación y cada pixel es direccionado más de una vez en una trama de tiempo. La tensión efectiva aplicada al cristal

líquido debe promediar los pulsos de tensión aplicados en las diferentes tramas de tiempo, lo que resulta en un bajo tiempo de respuesta, mayor de 150 ms y una reducción de la relación de contraste máxima.

En los LCDs de matriz activa, por el contrario, un dispositivo de conmutación y un capacitor de almacenamiento están integrados en cada punto de cruce de los electrodos.

Lo habitual es que la capa semiconductora esté hecha de silicio amorfo (a-Si).

Una tecnología alternativa, el silicio policristalino (p-Si), es costosa para producir, especialmente para pantallas grandes. Casi todos los TFT LCDs están hechos de a-Si debido a que es una tecnología madura y económica, pero la movilidad de los electrones del p-Si es uno o dos órdenes de magnitud mayor que la del a-Si, lo que lo hace especialmente apropiado para dispositivos como visores o proyectores.

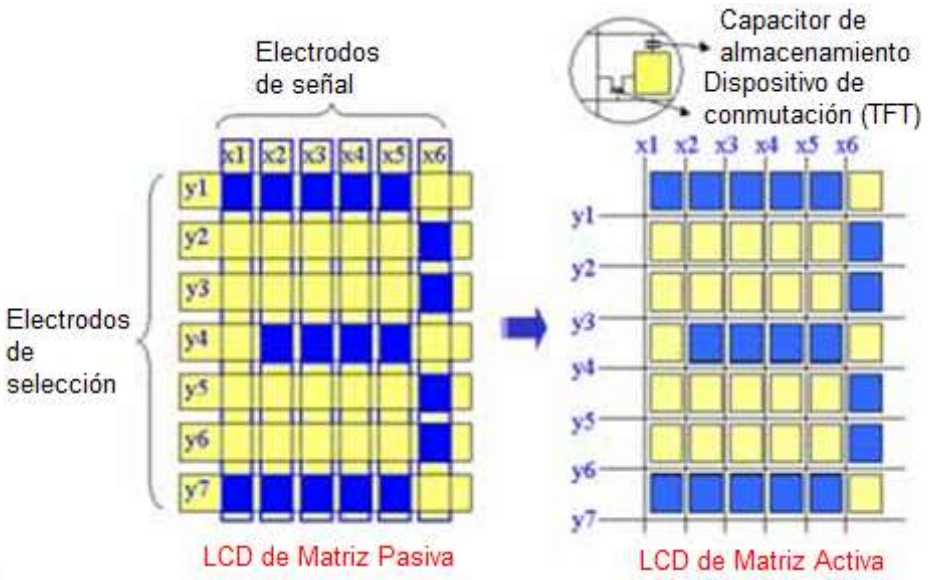


Figura 4.5.6 – Matriz pasiva y matriz activa

Estructura de un panel LCD TFT

Un panel LCD TFT contiene un número específico de pixeles unitarios, a menudo llamados subpixeles. Cada píxel unitario tiene un TFT, un electrodo de píxel (IT0) y un capacitor de almacenamiento. Por ejemplo: un panel LCD SVGA tiene un total de 800 x 3 x 600 = 1440000 pixeles unitarios.

Cada píxel unitario es conectado a una de las líneas de habilitación de bus y a una de las líneas de datos de bus en una matriz de 2400 x 600 en el caso de SVGA.

La performance de un LCD TFT está relacionada con los parámetros de diseño de los píxel unitarios, el ancho de canal y la longitud de canal del TFT, el solapamiento de los electrodos del TFT, el tamaño del capacitor de almacenamiento y el electrodo de píxel y el espaciado entre estos elementos.

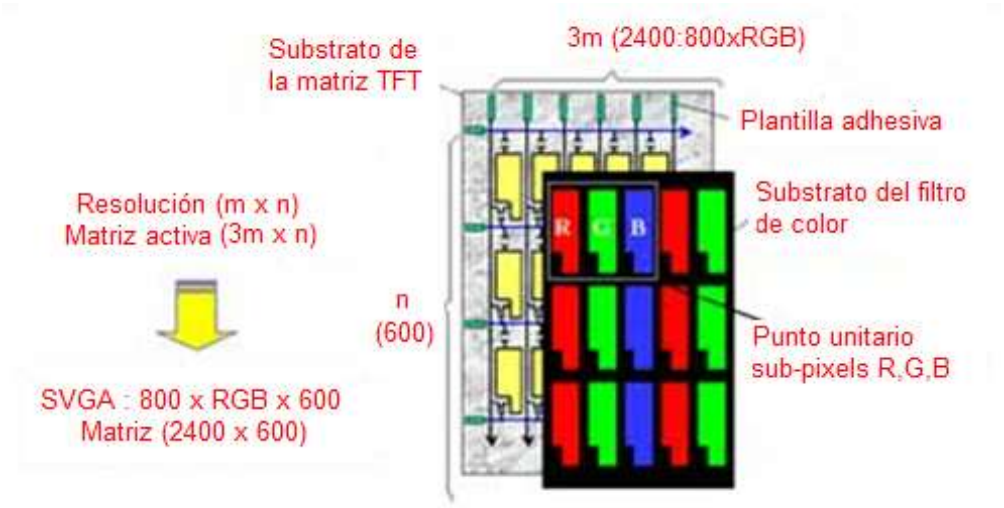


Figura 4.5.7 – Detalle de la estructura de un panel LCD TFT

Generación de color

El filtro de color de un LCD TFT consiste de tres colores primarios rojo (R), verde (G) y azul (B), que están incluidos en el substrato del filtro de colores.

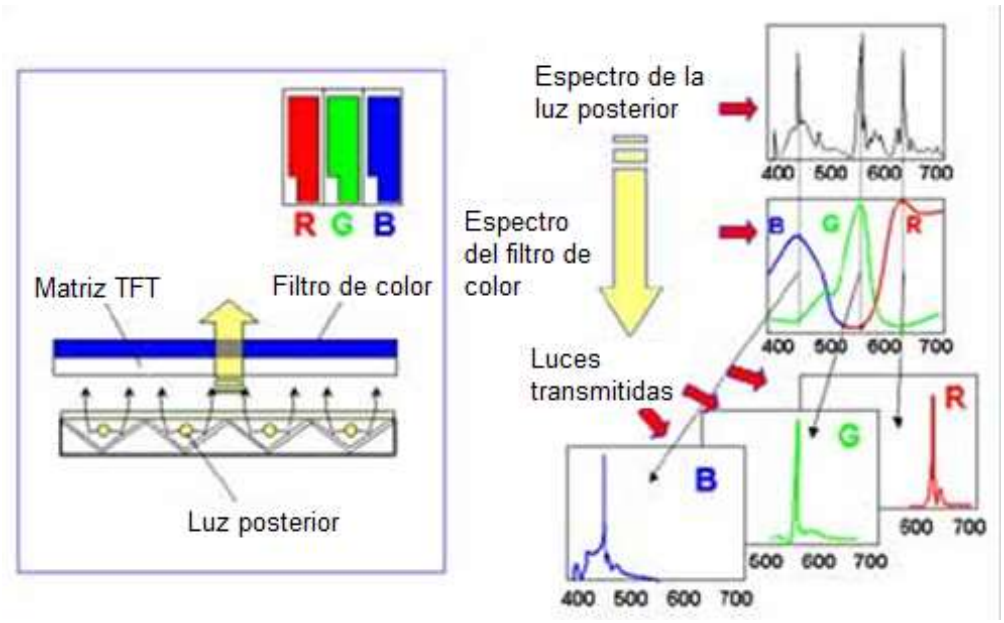


Figura 4.5.8 – Generación de color en un panel LCD TFT

Cada píxel es subdividido en tres subpixeles, pero a la vista se aprecia como uno solo que corresponde a la combinación de los tres colores. Prácticamente cualquier color se puede producir mediante la mezcla de los tres colores primarios.

La cantidad total de colores usando n-bits es 2^{3n}, debido a que cada subpixel puede generar 2^n niveles diferentes de transmitancia. *Info: Samsung Electronics*

4.6 TARJETAS GRÁFICAS

4.6.1 Fundamentos

La tarjeta gráfica es la encargada de generar las señales que controlan el monitor.

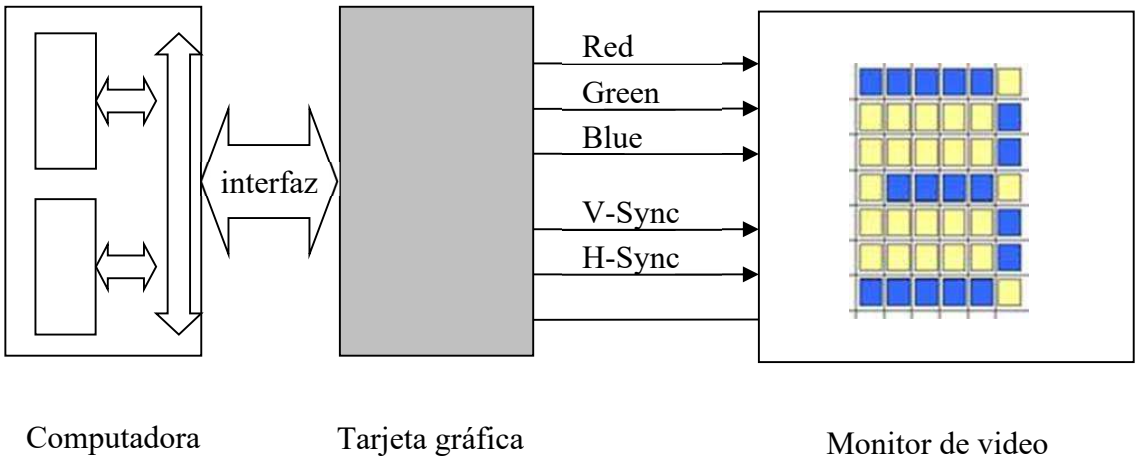


Figura 4.6.1 – Diagrama de conexión de una tarjeta gráfica con interfaz analógica

4.6.2 Evolución

Nombre	Fecha	Resolución	Modo color	Memoria
MDA	1980	80 x 25 (texto) – 640 x 200 (gráfico)	Monocromo	4 KB
CGA	1981	80 x 25 (texto) – 320 x 200 (gráfico)	4 Colores	16 KB
HGC	1982	80 x 25 (texto) – 720 x 348 (gráfico)	Monocromo	64 KB
EGA	1985	80 x 25 (texto) – 640 x 350 (gráfico)	16 Colores	256 KB
VGA	1987	80 x 25 (texto) – 640 x 480 (gráfico)	256 Colores	512 KB
SVGA	1989	80 x 25 (texto) – 1024 x 768 (gráfico)	256 Colores	1 MB
XGA	1992	80 x 25 (texto) – 1024 x 768 (gráfico)	65K Colores	2 MB
SVGA	1998	132 x 60 (texto) – 1280 x 1024 (gráfico)	16,7M Colores	4 MB

Tabla 4.6.1 – tarjetas gráficas 2D

Nombre	Fecha	GPU	Características	Memoria
Voodoo	1997		Antialiasing, Bi linear Filter	4 MB
TNT	1999		Antialiasing, Tri linear Filter, Blur, 6 Mtriángulos/s	4 MB
Geforce 440SE	2002	0:2:4:2 (1)	DX7	128 MB
Geforce 6800GT	2004	6:16:16:16 (1)	DX9c	256 MB
Geforce GTX280	2008	240:80:32 (2)	DX10	512 MB
Geforce GTX1650	2020	896:56:32 (3)	DX12, 3 TFLOPS/s, TDP 75 W, bus 128 bits	4 GB
Geforce RTX3090	2021	10496:328:112:328:82 (4)	DX12, 35 TFLOP/s, TDP 350 W, bus 384 bits	24 GB

Tabla 4.6.2 – tarjetas gráficas 3D

Notas:

(1) Vertex shader: Pixel shader:Texture mapping unit:Render Output unit

(2) Unified Shaders (Vertex shader/Geometry shader/Pixel shader):Texture mapping unit:Render Output unit

(3) Shaders:Texture:Raster

(4) Shaders:Texture:Raster:Tensor core:RT core

A partir de la serie 8000, Nvidia soporta la tecnología CUDA (Compute Unified Device Architecture) que hace referencia tanto a un compilador como a un conjunto de herramientas de desarrollo creadas por nVidia que permiten a los programadores usar una variación del lenguaje de programación C para codificar algoritmos en GPUs de nVidia. Esto permite usar los shaders unificados de la GPU para realizar tareas tradicionalmente destinadas a la CPU. El alto paralelismo que permite la utilización de cientos de procesadores aumenta notablemente la potencia de cálculos específicos.

Dada la potencia de cálculo de los procesadores gráficos, éstos se usan también para procesamiento general, inclusive cálculos muy complejos.

En el apéndice F, figura 11, puede verse una lista de las 10 “supercomputadoras” mas potentes de la actualidad (Julio de 2021) en la que se observa que algunas de ellas sólo utilizan GPUs para lograr su impresionante potencia de cálculo.

4.6.3 Interfases PC-TG

Las tarjetas primeras Tarjetas gráficas se conectaban a los buses habituales de las PC (ISA, PCI, etc.). Luego se desarrolló una interfaz específica para video: AGP (véase 4.3.6) para proveer los crecientes requisitos de velocidad de transferencia que requería el video.

El posterior desarrollo de las GPU y las mejoras en los buses estandarizados hicieron posible, en la actualidad, volver a los buses estándar como el PCI-E. Véanse las características de los distintos buses en este capítulo, en 4.3 Buses en la arquitectura PC compatible.

4.6.4 Interfases TG-Monitor

Desde los comienzos de las tarjetas VGA y aún en la actualidad se usó el estándar VGA, un conector tipo D de 15 contactos con las señales que se muestran en la figura 4.6.4. Con la aparición de los monitores digitales se popularizaron las interfases DVI y recientemente HDMI, que además de video digital incluye sonido.

Figura 4.6.2 – Conectores de video de la TG Geforce GTX 950

Figura 4.6.3 – Aspecto de la TG Geforce GTX 950

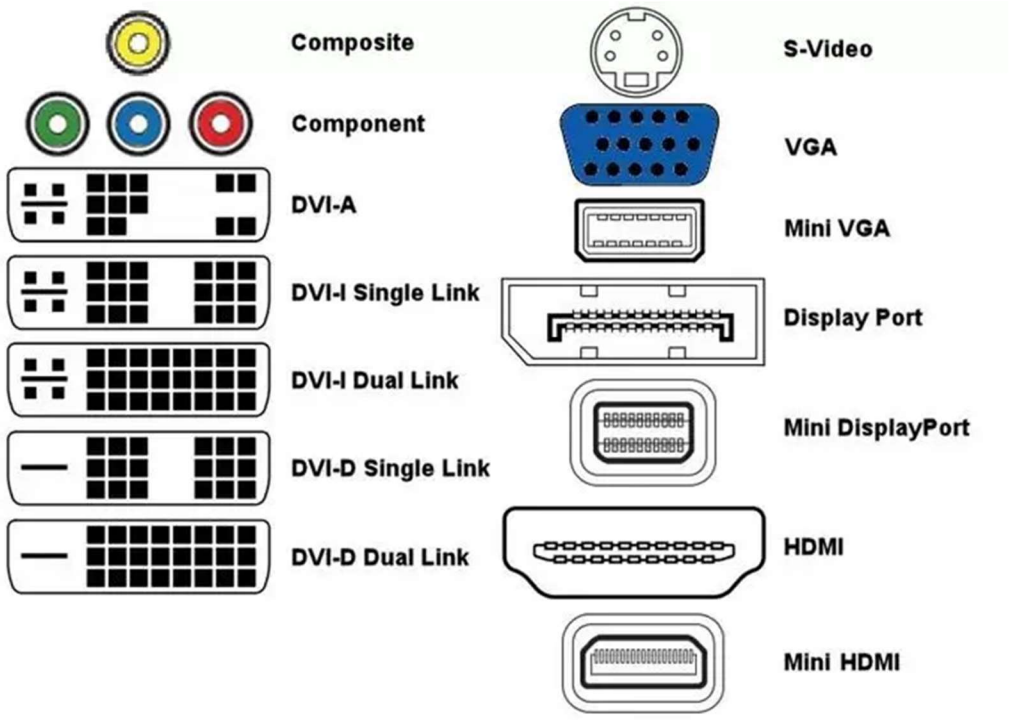


Figura 4.6.4 – Conectores de video

FORMATOS DE VIDEO EN PELÍCULAS							
Formato de Rip	Codec de Video		Codec de Audio	Resolución	Extensión	Tamaño	Calidad
DivX	MPEG-4	DivX	MP3 2.1	640×480	*.avi	700 MB	Baja
DVDrip		XviD	AC3 2.1	720×480	*.avi	700 MB 1.400 MB	Media
BRrip		x264	AAC, AC3 5.1	1280×720 (**720p**) 1920×1080 (**1080p**)	*.mp4 *.mkv	+1.500 MB	Alta

Tabla 4.6.3 Formatos de video