



Universidad Tecnológica Nacional
Facultad Regional San Nicolás

Procesamiento paralelo

Técnicas Digitales III
Felipe Poblete, Mariano González - 2024

Procesamiento paralelo

1.2.1 Procesador microprogramado

En un procesador microprogramado genérico, la secuencia de operaciones de una instrucción típica puede representarse como sigue:

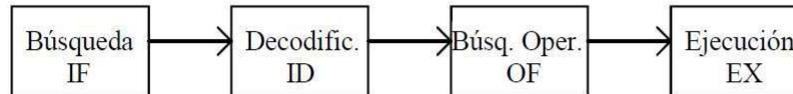


Fig. 1.2.1 – secuencia de operaciones

En un microprocesador de segunda generación como el 8085 de Intel, esta secuencia, expresada en función del tiempo y para un programa que contiene la sucesión de instrucciones I1, I2, I3, se vería así:

EX	.	.	.	I1	.	.	.	I2	.	.	.	I3
OF	.	.	I1	.	.	.	I2	.	.	.	I3	.
ID	.	I1	.	.	.	I2	.	.	.	I3	.	.
IF	I1	.	.	.	I2	.	.	.	I3	.	.	.
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.2 – secuencia de operaciones – diagrama temporal

Diagrama temporal de un procesador microprogramado

Procesamiento paralelo

1.2.1 Procesador microprogramado

En un procesador microprogramado genérico, la secuencia de operaciones de una instrucción típica puede representarse como sigue:

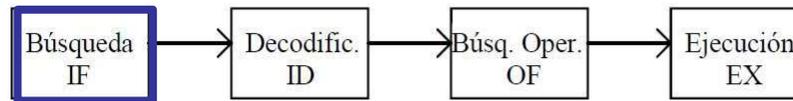


Fig. 1.2.1 – secuencia de operaciones

En un microprocesador de segunda generación como el 8085 de Intel, esta secuencia, expresada en función del tiempo y para un programa que contiene la sucesión de instrucciones I1, I2, I3, se vería así:

EX	.	.	.	I1	.	.	.	I2	.	.	.	I3
OF	.	.	I1	.	.	.	I2	.	.	.	I3	.
ID	.	I1	.	.	.	I2	.	.	.	I3	.	.
IF	I1	.	.	.	I2	.	.	.	I3	.	.	.
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.2 – secuencia de operaciones – diagrama temporal

Diagrama temporal de un procesador microprogramado – T1

Procesamiento paralelo

1.2.1 Procesador microprogramado

En un procesador microprogramado genérico, la secuencia de operaciones de una instrucción típica puede representarse como sigue:

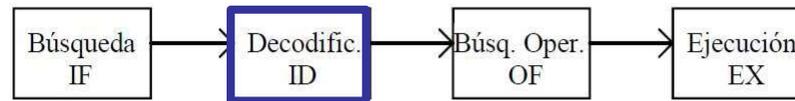


Fig. 1.2.1 – secuencia de operaciones

En un microprocesador de segunda generación como el 8085 de Intel, esta secuencia, expresada en función del tiempo y para un programa que contiene la sucesión de instrucciones I1, I2, I3, se vería así:

EX	.	.	.	I1	.	.	.	I2	.	.	.	I3
OF	.	.	I1	.	.	.	I2	.	.	.	I3	.
ID	.	I1	.	.	.	I2	.	.	.	I3	.	.
IF	I1	.	.	.	I2	.	.	.	I3	.	.	.
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.2 – secuencia de operaciones – diagrama temporal

Diagrama temporal de un procesador microprogramado - T2

Procesamiento paralelo

1.2.1 Procesador microprogramado

En un procesador microprogramado genérico, la secuencia de operaciones de una instrucción típica puede representarse como sigue:

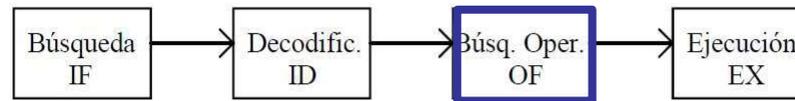


Fig. 1.2.1 – secuencia de operaciones

En un microprocesador de segunda generación como el 8085 de Intel, esta secuencia, expresada en función del tiempo y para un programa que contiene la sucesión de instrucciones I1, I2, I3, se vería así:

EX	.	.	.	I1	.	.	.	I2	.	.	.	I3
OF	.	.	I1	.	.	.	I2	.	.	.	I3	.
ID	.	I1	.	.	.	I2	.	.	.	I3	.	.
IF	I1	.	.	.	I2	.	.	.	I3	.	.	.
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.2 – secuencia de operaciones – diagrama temporal

Diagrama temporal de un procesador microprogramado – T3

Procesamiento paralelo

1.2.1 Procesador microprogramado

En un procesador microprogramado genérico, la secuencia de operaciones de una instrucción típica puede representarse como sigue:

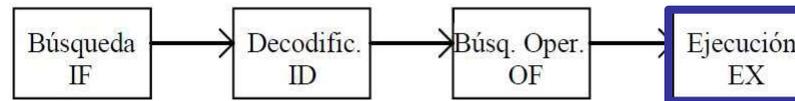


Fig. 1.2.1 – secuencia de operaciones

En un microprocesador de segunda generación como el 8085 de Intel, esta secuencia, expresada en función del tiempo y para un programa que contiene la sucesión de instrucciones I1, I2, I3, se vería así:

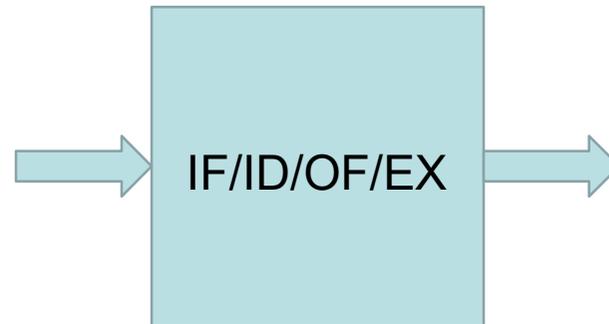
EX	.	.	.	I1	.	.	.	I2	.	.	.	I3
OF	.	.	I1	.	.	.	I2	.	.	.	I3	.
ID	.	I1	.	.	.	I2	.	.	.	I3	.	.
IF	I1	.	.	.	I2	.	.	.	I3	.	.	.
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.2 – secuencia de operaciones – diagrama temporal

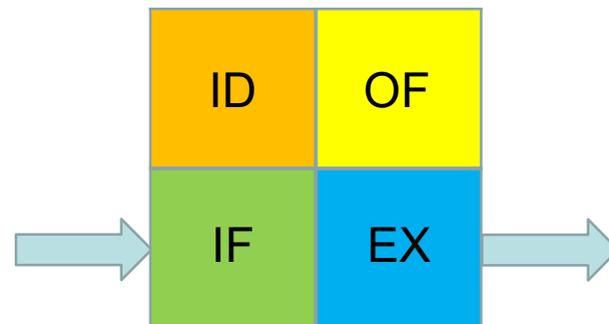
Este procesador está ejecutando una instrucción cada 4 ciclos de reloj

Diagrama temporal de un procesador microprogramado – T4

Procesamiento paralelo

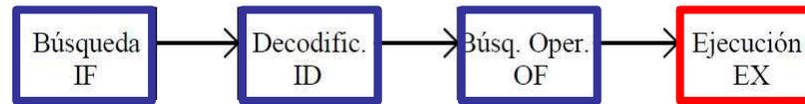


Si se diseña un procesador en el cual los circuitos que realizan la búsqueda de instrucciones (IF), la Decodificación de instrucciones (ID), la búsqueda de operandos (OF) y la ejecución (EX) no tienen elementos en común, es decir que pueden operar independientemente uno de otro, se obtiene un procesador paralelo de cuatro unidades.



Procesador pipeline

Procesamiento paralelo



1.2.2 Pipelining

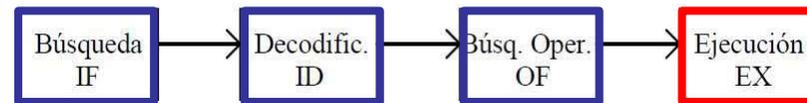
El diagrama de tiempos, para la misma secuencia de instrucciones del caso precedente es como se muestra:

EX	.	.	.	I1	I2	I3	I4	I5	I6	I7	I8	I9
OF	.	.	I1	I2	I3	I4	I5	I6	I7	I8	I9	.
ID	.	I1	I2	I3	I4	I5	I6	I7	I8	I9	.	.
IF	I1	I2	I3	I4	I5	I6	I7	I8	I9	.	.	.
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.3 – secuencia de operaciones con pipeline – diagrama temporal

Diagrama temporal de un procesador pipeline - T4

Procesamiento paralelo



1.2.2 Pipelining

El diagrama de tiempos, para la misma secuencia de instrucciones del caso precedente es como se muestra:

EX	.	.	.	I1	I2	I3	I4	I5	I6	I7	I8	I9
OF	.	.	I1	I2	I3	I4	I5	I6	I7	I8	I9	.
ID	.	I1	I2	I3	I4	I5	I6	I7	I8	I9	.	.
IF	I1	I2	I3	I4	I5	I6	I7	I8	I9	.	.	.
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.3 – secuencia de operaciones con pipeline – diagrama temporal

Este procesador está ejecutando una instrucción cada ciclo de reloj

Diagrama temporal de un procesador pipeline – T5

Procesamiento paralelo

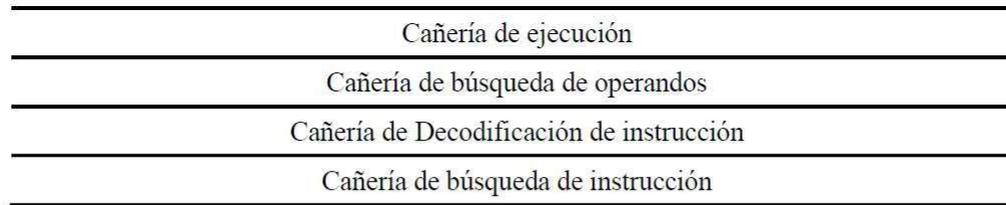


Fig. 1.2.4 – pipeline de 4 etapas

La mejora en el tiempo de procesamiento una vez que se llena la cañería se calcula así:

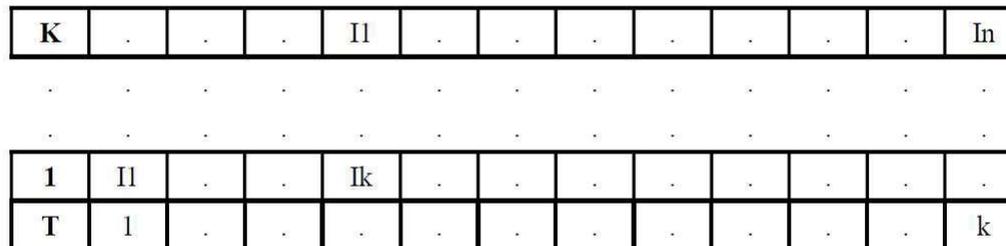


Fig. 1.2.5 – mejora en la performance

El tiempo para ejecutar n instrucciones es:

$$T_k = k + n - 1 \quad (\text{procesador paralelo de } k \text{ unidades})$$

$$T_s = n \cdot k \quad (\text{procesador tradicional})$$

$$\text{Speedup} = T_s / T_k = n \cdot k / (k + n - 1) \quad (\text{mejora en el tiempo})$$

Como $n \gg k \dots$ **Speedup $\approx k$**

Mejora en la performance del procesador pipeline

Procesamiento paralelo

En el procesador Pentium se incluyó una segunda unidad de ejecución, por lo que pudo manejar en paralelo dos instrucciones, quedando el diagrama de la figura:

WB2	I2	I4	I6	I8	I10	I12	I14	I16
EX2	.	.	.	I2	I4	I6	I8	I10	I12	I14	I16	.
AG2	.	.	I2	I4	I6	I8	I10	I12	I14	I16	.	.
ID2	.	I2	I4	I6	I8	I10	I12	I14	I16	.	.	.
IF2	I2	I4	I6	I8	I10	I12	I14	I16
WB1	I1	I3	I5	I7	I9	I11	I13	I15
EX1	.	.	.	I1	I3	I5	I7	I9	I11	I13	I15	.
AG1	.	.	I1	I3	I5	I7	I9	I11	I13	I15	.	.
ID1	.	I1	I3	I5	I7	I9	I11	I13	I15	.	.	.
IF1	I1	I3	I5	I7	I9	I11	I13	I15
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.7 – secuencia de operaciones en el procesador Pentium

Procesador Pentium (Intel)

Procesamiento paralelo

Si la ejecución demora mas de un ciclo de reloj, se pierde ese ciclo para el pipelining

EX	.	.	.	I1		I2	I3	I4	I5	I6	I7	I8
OF	.	.	I1	I2	X	I3	I4	I5	I6	I7	I8	I9
ID	.	I1	I2	I3	X	I4	I5	I6	I7	I8	I9	.
IF	I1	I2	I3	I4	X	I5	I6	I7	I8	I9	.	.
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.3 – secuencia de operaciones con pipeline – diagrama temporal

Si ocurre un salto, ej, I2 a I10, todo lo adquirido previamente se pierde

EX	.	.	.	I1	I2	I3	I4	I5	I10	I11	I12	I13
OF	.	.	I1	I2	I3	I4	I5	I10	I11	I12	I13	.
ID	.	I1	I2	I3	I4	I5	I10	I11	I12	I13	.	.
IF	I1	I2	I3	I4	I5	I10	I11	I12	I13	.	.	.
T	1	2	3	4	5	6	7	8	9	10	11	12

Fig. 1.2.6 – problema de la burbuja

Procesador pipeline - inconvenientes

Procesamiento paralelo

1.3 PROCESADORES RISC

Los procesadores RISC (Reduced Instruction Set Computer, o Computadora de Conjunto de Instrucciones Reducido) fueron diseñados para sacar provecho del procesamiento paralelo.

El conjunto de instrucciones se redujo a las operaciones elementales, con el objeto de que cada una de ellas pueda ejecutarse en un solo ciclo de reloj.

Las tareas se reparten en la mayor cantidad posible de unidades.

Dado que este diseño requiere menos transistores que un procesador tradicional, la superficie de chip que sobra se destina a registros (poseen muchos) y a memoria de alta velocidad (caché).

Como desventaja, puede citarse que los programas (el código objeto mas precisamente) requieren mas espacio por tener instrucciones menos potentes.

En cuanto a los compiladores, se exige que sean optimizados para el procesador en cuestión.

Para evitar el problema de las burbujas, es conveniente el uso de lenguajes de programación estructurados, que reducen la cantidad de saltos.



Fin de la presentación

Técnicas Digitales III – UTN – FRSN

<https://www.frsn.utn.edu.ar/tecnicas3>